

經濟部智慧財產局一〇一年度
委託研究計畫

資訊產業專利趨勢與專利訴訟分析研究計畫

資訊產業廠商在美國專利訴訟案件分析

10件專利訴訟案件分析報告

(LG v. Quanta)

主辦單位：經濟部智慧財產局

執行單位：台灣科技法學會

中華民國 1 0 1 年 1 2 月

契約編號：10018008020

經濟部智慧財產局

資訊產業專利趨勢與專利訴訟分析研究計畫

資訊產業廠商在美國專利訴訟案件分析

10件專利訴訟案件分析報告

計畫主持人：劉尚志

協同主持人：鄭猷超

研究者：陳在方、陳瑋明、林曉涵、楊佩錡、林耕文

劉思伶、劉威克、李 玄、洪紹庭、吳佩珊

陳捷安、張嘉顯、龔鈺芬

中 華 民 國 1 0 1 年 1 2 月

目錄

上冊

第一章 案件篩選	1
第一節 前言	1
第二節 資料來源與篩選目標	4
1. 資料來源	4
2. 案件篩選策略	18
3. 10 案件中選原因	25
第三節 專利策略與管理議題之案件	36
第四節 程序與訴訟技巧之案件	42
第五節 專利訴訟爭議之案件	45
第二章 案件分析	48
第一節 Apple v. HTC	48
1. 前言	48
2. 案件基礎資料	49
3. 案件簡介	51
3.1 本案事實	51
3.2 兩造背景	51
3.3 本案主要程序進行時程	51
3.4 本案系爭專利、系爭產品、有效性引證技術內容	53
4 案件分析	71
4.1 申請專利範圍解釋	71
4.2 侵權	117
4.3 國內產業	137
4.4 專利有效性	140
5 本案評析	145
5.1 實體爭議	145
5.2 程序攻防	148
5.3 專利訴訟策略	149
第二節 Philips Lumileds v. 晶元光電	152
1. 前言	152
2. 案件基礎資料	154
3. 案件簡介	155
3.1 本案事實	155
3.2 兩造背景	156
3.3 本案主要程序進行時程	157
3.4 本案系爭專利、系爭產品技術內容	158

目錄

4.	案件分析	160
4.1	申請專利範圍解釋	160
4.2	本訴告訴人晶元光電得否主張系爭'718 號專利無效	167
5.	本案評析	176
5.1	實體爭議	176
5.2	程序攻防	177
5.3	專利訴訟策略	178
	第三節 LG v. Quanta	180
1.	前言	180
2.	案件基礎資料	181
2.1	一審	181
2.2	二審	182
2.3	三審	184
3.	案件簡介	185
3.1	本案事實	185
3.2	兩造背景	186
3.3	本案主要程序進行時程	186
3.4	本案系爭專利、系爭產品技術內容	187
4.	案件分析	199
4.1	申請專利範圍解釋（於最高法院爭訟之三項專利）	200
4.2	一審	240
4.3	二審	243
4.4	三審	246
5.	本案評析	252
5.1	實體爭議	252
5.2	程序攻防	253
5.3	專利訴訟的策略	253
	第四節 理光 v. 廣達等	256
1.	前言	256
2.	案件基礎資料	257
3.	案件簡介	258
3.1	本案事實	258
3.2	兩造背景	258
3.3	本案主要程序進行時程	259
3.4	本案系爭專利、系爭產品、有效性引證技術內容	260
4.	案件分析	276
4.1	系爭專利請求項整理表	276
4.2	法院判決結果整理表	280
4.3	法院對於'109 號專利有效性之認定	280
4.4	直接侵權：廣達對於'955 專利不構成直接侵權	286

4.5	直接侵權：廣達與 NU Technology 對於'552、'755 專利皆不構成直接侵權	289
4.6	輔助侵權 (Contributory Infringement)：廣達對於'552、'755 專利構成輔助侵權	293
4.7	誘引侵權 (Induced Infringement)：廣達對於'552、'755 專利構成誘引侵權	298
4.8	陪審團評決：廣達須對間接侵權負損害賠償責任	303
5.	本案評析	303
5.1	實體爭議	303
5.2	專利訴訟策略	305
第五節 Nokia v. Apple		307
1.	前言	307
2.	案件基礎資料	308
3.	案件簡介	309
3.1	本案事實	309
3.2	兩造背景	317
3.3	本案主要程序進行時程	318
3.4	本案系爭專利、系爭產品技術內容	320
4.	案件分析	342
4.1	駁回合併訴訟之裁定	342
4.2	駁回反訴及抗辯之裁定	344
5.	案件評析	347
5.1	實體爭議	347
5.2	程序攻防	349
5.3	專利訴訟策略	350

下冊

第六節 Immersion v. Sony		354
1.	前言	354
2.	案件基礎資料	355
3.	案件簡介	356
3.1	本案事實	356
3.2	兩造背景	357
3.3	本案主要程序進行時程	358
3.4	本案系爭專利、系爭產品、有效性引證技術內容	359
4.	案件分析	377
4.1	申請專利範圍解釋	377
4.2	即決判決	399
4.3	陪審團評決	410
4.4	第三人交叉訴訟	420
4.5	不公平行為判決	425
4.6	再審	431
5.	本案評析	438

目錄

5.1	實體爭議	438
5.2	專利訴訟策略	442
第七節 緯創 v. 三星		443
1.	前言	443
2.	案件基礎資料	444
3.	案件簡介	445
3.1	本案事實	445
3.2	兩造背景	445
3.3	本案主要程序進行時程	447
3.4	本案系爭專利、系爭產品介紹、有效性引證技術內容	448
4.	案件分析	472
4.1	申請專利範圍解釋	472
4.2	系爭 3 個專利之總體有效性分析	520
4.3	系爭 3 個專利於 35 U.S.C. §102 規範下有效性之即決判決聲請	527
4.4	就'273 號專利以及'100 號專利可執行性聲請即決判決	539
5.	本案評析	545
5.1	實體爭議	545
5.2	程序攻防	552
5.3	專利訴訟策略	553
第八節 義隆 v. 蘋果		554
1.	前言	554
2.	案件基礎資料	556
3.	案件簡介	557
3.1	本案事實	557
3.2	兩造背景	558
3.3	本案主要程序進行時程	559
3.4	本案系爭專利、系爭產品、有效性引證技術內容	560
4.	案件分析	565
4.1	申請專利範圍解釋	565
4.2	專利侵權分析	580
4.3	有效性分析	586
4.4	國內產業	591
5.	本案評析	592
5.1	實體爭議	592
5.2	程序攻防	593
5.3	專利訴訟策略	594
第九節 AMD v. 三星		597
1.	前言	597
2.	案件基礎資料	598
3.	案件簡介	600

3.1	本案事實	600
3.2	兩造背景	600
3.3	本案主要程序進行時程	602
3.4	本案系爭專利、系爭產品、有效性引證技術內容	603
4.	案件分析	630
4.1	被告聲請部分即決判決與保持命令 (Protective Order)	630
4.2	申請專利範圍解釋	636
4.3	原告聲請無不公平行為即決判決及逕以訴狀判決 (Judgment on the Pleadings)	676
4.4	聲請不侵權即決判決之裁定	689
5.	本案評析	699
5.1	實體爭議	699
5.2	程序攻防	703
5.3	專利訴訟策略	705
	第十節 Thomson Licensing 控告友達等	707
1.	前言	707
2.	案件基礎資料	708
3.	案件簡介	709
3.1	本案事實	710
3.2	兩造背景	710
3.3	本案主要程序進行時程	711
3.4	本案系爭專利、系爭產品、有效性引證技術內容	712
4.	案件分析	731
4.1	申請專利範圍解釋	731
4.2	侵權判斷	763
4.3	有效性判斷	773
5.	本案評析	780
5.1	實體爭議	780
5.2	程序攻防	781
5.3	專利訴訟策略	782

表目錄

表 1 觸控應用裝置技術 2002-2011 年美國專利訴訟統計表—台灣廠商涉案件數.....	2
表 2 觸控應用裝置於美國專利訴訟調查 (2007 年 1 月 1 日至 2011 年 12 月 31 日)	5
表 3 案件篩選表.....	18
表 4 本計畫案件篩選原因整理表	25
表 5 APPLE 控告 HTC 案件基礎資料表	49
表 6 APPLE 控告 HTC 案件主要程序進行時程表	52
表 7 APPLE 控告 HTC'263 號專利兩造論點與法院認定整理表 (1)	86
表 8 APPLE 控告 HTC'263 號專利兩造論點與法院認定整理表 (2)	89
表 9 APPLE 控告 HTC'263 號專利兩造論點與法院認定整理表 (3)	89
表 10 APPLE 控告 HTC'263 號專利兩造論點與法院認定整理表 (4)	91
表 11 APPLE 控告 HTC'647 號專利兩造論點與法院認定整理表 (1)	93
表 12 APPLE 控告 HTC'647 號專利兩造論點與法院認定整理表 (2)	98
表 13 APPLE 控告 HTC'721 號專利兩造論點與法院認定整理表 (1)	98
表 14 APPLE 控告 HTC'721 號專利兩造論點與法院認定整理表 (2)	107
表 15 APPLE 控告 HTC'721 號專利兩造論點與法院認定整理表 (3)	107
表 16 APPLE 控告 HTC'721 號專利兩造論點與法院認定整理表 (4)	108
表 17 APPLE 控告 HTC'983 號專利兩造論點與法院認定整理表 (1)	110
表 18 APPLE 控告 HTC'983 號專利兩造論點與法院認定整理表 (2)	113
表 19 APPLE 控告 HTC'983 號專利兩造論點與法院認定整理表 (3)	115
表 20 APPLE 控告 HTC 專利侵權判決整理表	117
表 21 案件基礎資料表	154
表 22 PHILIPS LUMILED 控告晶元光電主要程序進行時程表	158
表 23 PHILIPS LUMILED 控告晶元光電 '718 號專利兩造論點與法院認定整理表 (1)	163
表 24 PHILIPS LUMILED 控告晶元光電 '718 號專利兩造論點與法院認定整理表 (2)	165
表 25 LG 控告 QUANTA 一審案件基礎資料表.....	181
表 26 LG 控告 QUANTA 二審案件基礎資料表.....	182
表 27 LG 控告 QUANTA 三審案件基礎資料表.....	184
表 28 LG 控告 QUANTA 主要程序進行時程表.....	186
表 29 LG 於一審控告 QUANTA 案'641 號專利兩造論點與法院認定整理表(1).....	217
表 30 LG 於一審控告 QUANTA 案'641 號專利兩造論點與法院認定整理表(2).....	219
表 31 LG 於一審控告 QUANTA 案'641 號專利兩造論點與法院認定整理表(3).....	221
表 32 LG 於一審控告 QUANTA 案'641 號專利兩造論點與法院認定整理表(4).....	222
表 33 LG 於一審控告 QUANTA 案'641 號專利兩造論點與法院認定整理表(5).....	224
表 34 LG 於一審控告 QUANTA 案'641 號專利兩造論點與法院認定整理表(6).....	224
表 35 LG 於一審控告 QUANTA 案'641 號專利兩造論點與法院認定整理表(7).....	225
表 36 LG 於一審控告 QUANTA 案'379 號專利兩造論點與法院認定整理表(1).....	226

表 37 LG 於一審控告 QUANTA 案'379 號專利兩造論點與法院認定整理表(2).....	229
表 38 LG 於一審控告 QUANTA 案'379 號專利兩造論點與法院認定整理表(3).....	232
表 39 LG 於一審控告 QUANTA 案'379 號專利兩造論點與法院認定整理表(4).....	235
表 40 LG 於一審控告 QUANTA 案'379 號專利兩造論點與法院認定整理表(5).....	236
表 41 LG 於一審控告 QUANTA 案'733 號專利兩造論點與法院認定整理表(1).....	237
表 42 LG 於一審控告 QUANTA 案'733 號專利兩造論點與法院認定整理表(2).....	238
表 43 LG 於一審控告 QUANTA 案'733 號專利兩造論點與法院認定整理表(3).....	239
表 44 RICOH 控告廣達案件基礎資料.....	257
表 45 NOKIA 控告 APPLE 案件基礎資料表	308
表 46 NOKIA 控告 APPLE 案件主要程序進行時程表	318
表 47 IMMERSION 控告 SONY 案件基礎資料.....	355
表 48 IMMERSION 控告 SONY 主要程序進行時程表.....	358
表 49 IMMERSION 控告 SONY 系爭被控侵權產品一覽表.....	367
表 50 IMMERSION 控告 SONY'213 號專利兩造論點與法院認定整理表(1).....	381
表 51 IMMERSION 控告 SONY'213 號專利兩造論點與法院認定整理表(2).....	383
表 52 IMMERSION 控告 SONY'213、'333 號專利兩造論點與法院認定整理表(3).....	384
表 53 IMMERSION 控告 SONY'213 號專利兩造論點與法院認定整理表(4).....	388
表 54 IMMERSION 控告 SONY'213 號專利兩造論點與法院認定整理表(5).....	392
表 55 IMMERSION 控告 SONY'213 號專利兩造論點與法院認定整理表(6).....	394
表 56 IMMERSION 控告 SONY'213 號專利兩造論點與法院認定整理表(7).....	397
表 57 IMMERSION 控告 SONY'213 號專利兩造論點與法院認定整理表(8).....	397
表 58 IMMERSION 控告 SONY 陪審團評決內容表(1).....	418
表 59 IMMERSION 控告 SONY 陪審團評決內容表(2).....	419
表 60 緯創控告三星案件基礎資料表	444
表 61 緯創控告三星主要程序進行時程表	447
表 62 緯創控告三星案'273 號專利兩造論點與法院認定整理表(1).....	489
表 63 緯創控告三星案'273 號專利兩造論點與法院認定整理表(2).....	492
表 64 緯創控告三星案'273 號專利兩造論點與法院認定整理表(3).....	494
表 65 緯創控告三星案'273 號專利兩造論點與法院認定整理表(4).....	495
表 66 緯創控告三星案'273 號專利兩造論點與法院認定整理表(5).....	496
表 67 緯創控告三星案'273 號專利兩造論點與法院認定整理表(6).....	499
表 68 緯創控告三星案'273 號專利兩造論點與法院認定整理表(7).....	500
表 69 緯創控告三星案'273 號專利兩造論點與法院認定整理表(8).....	501
表 70 緯創控告三星案'273 號專利兩造論點與法院認定整理表(9).....	502
表 71 緯創控告三星案'275 號專利兩造論點與法院認定整理表(1).....	502
表 72 緯創控告三星案'275 號專利兩造論點與法院認定整理表(2).....	505
表 73 緯創控告三星案'275 號專利兩造論點與法院認定整理表(3).....	507
表 74 緯創控告三星案'100 號專利兩造論點與法院認定整理表(1).....	509

目錄

表 75 緯創控告三星案'100 號專利兩造論點與法院認定整理表(2).....	513
表 76 緯創控告三星案'100 號專利兩造論點與法院認定整理表(3).....	515
表 77 緯創控告三星案'100 號專利兩造論點與法院認定整理表(4).....	515
表 78 緯創控告三星案'100 號專利兩造論點與法院認定整理表(5).....	517
表 79 緯創控告三星案'100 號專利兩造論點與法院認定整理表(6).....	518
表 80 義隆控告蘋果案件基礎資料表	556
表 81 義隆控告蘋果案件主要程序進行時程表	559
表 82 義隆控告蘋果'352 號專利兩造論點與法院認定整理表	573
表 83 義隆控告蘋果'352 號專利侵害比對整理表	580
表 84 AMD 控告三星案件基礎資料表	598
表 85 AMD 控告三星主要程序進行時程表	602
表 86 AMD 控告三星案'990 號專利兩造論點與法院認定整理表(1).....	650
表 87 AMD 控告三星案'990 號專利兩造論點與法院認定整理表(2).....	652
表 88 AMD 控告三星案'990 號專利兩造論點與法院認定整理表(3).....	662
表 89 AMD 控告三星案'990 號專利兩造論點與法院認定整理表(3).....	671
表 90 THOMSON LICENSING 控告友達等案件基礎資料表.....	708
表 91 THOMSON LICENSING 控告友達等主要程序進行時程表	711
表 92 THOMSON LICENSING 控告友達等系爭專利請求項整理表.....	732
表 93 THOMSON LICENSING 控告友達等'063 號專利兩造論點與法院認定整理表 (1)	753
表 94 THOMSON LICENSING 控告友達等'063 號專利兩造論點與法院認定整理表 (2)	755
表 95 THOMSON LICENSING 控告友達等'063 號專利兩造論點與法院認定整理表 (3)	756
表 96 THOMSON LICENSING 控告友達等 ALJ 與委員會侵權判決認定整理表	763
表 97 THOMSON LICENSING 主張友達產品侵害'006 號專利之比對整理表.....	765
表 98 THOMSON LICENSING 主張友達產品侵害'556 號專利之比對整理表.....	769
表 99 THOMSON LICENSING 控告友達等 ALJ 與委員會有效性判決認定整理表	773

圖目錄

圖 1 觸控應用裝置技術 2002-2011 美國專利訴訟統計	2
圖 2 觸控應用裝置技術 2002-2011 年美國專利訴訟案統計—台灣廠商涉案件數	3
圖 3 美國專訴訟案例分析流程	4
圖 4 專利策略管理分析流程	36
圖 5 程序與訴訟技巧分析流程	42
圖 6 程序與訴訟技巧分析流程	45
圖 7 '263 號專利說明書圖 2 系爭發明電腦硬體對應該即時引擎的介面	55
圖 8 '263 號專利說明書圖 3 系爭發明即時引擎的細部架構	56
圖 9 '721 號專利說明書圖 1 系爭發明物件導向方法流程圖	58
圖 10 '647 號專利說明書圖 2 系爭發明主要程式圖	60
圖 11 '647 號專利說明書圖 7 系爭發明選擇動作之跳出選單	61
圖 12 '983 號專利說明書圖 1 系爭發明操作流程圖	63
圖 13 晶元光電與 PHILIPS LUMILEDS 案件事實簡圖	169
圖 14 '641 號專利說明書代表圖專利發明之高階方塊圖	188
圖 15 '379 號專利說明書代表圖表達 MCU 之概念的方塊圖	193
圖 16 '733 號專利說明書代表圖系統結合此發明的方塊圖	195
圖 17 '641 號專利說明書圖 5 當 CPU 寫入資料到記憶體時的決策樹	197
圖 18 '379 號專利說明書圖 2 表達 MCU 的主控制流程之流程圖	198
圖 19 '733 號專利說明書圖 1A、1B 拓撲結構之環狀排列的系統匯流排示意圖	199
圖 20 '109 號專利圖 3 本發明之光碟機較佳實施例之流程圖	262
圖 21 '955 號專利說明書圖 1 本發明第一個實施例之光碟機的流程圖	264
圖 22 '552 號專利說明書圖 1 本發明較佳實施例之光碟機，可提供控制系統的流程圖	266
圖 23 '755 號專利說明書圖 4 在光碟機中可控制寫入程序的電路圖	268
圖 24 '109 號專利圖 3 本發明之光碟機較佳實施例之流程圖	269
圖 25 '955 號專利說明書圖 1 本發明第一個實施例之光碟機的流程圖	270
圖 26 '552 號專利說明書圖 1 本發明較佳實施例之光碟機，可提供控制系統的流程圖	271
圖 27 '755 號專利說明書圖 4 在光碟機中可控制寫入程序的電路圖	272
圖 28 EP 272 號專利說明書圖 1 光碟紀錄介質相變化介面之剖面圖	274
圖 29 EP 962 號專利說明書圖 1B 較佳之寫入策略脈衝波形圖	275
圖 30 EP 272 號專利說明書圖 1 光碟紀錄介質相變化介面之剖面圖	282
圖 31 EP 962 號專利說明書圖 1B 較佳之寫入策略脈衝波形圖	283
圖 32 '465 號專利說明書圖 2 本專利所揭示之 GSM 系統的邏輯通道介紹示意圖	322
圖 33 '178 號專利說明書圖 2 本專利所揭示之電信系統發射器方塊圖	324
圖 34 '651 號專利說明書圖 4 本專利所揭示之第二個實施例	326
圖 35 '904 號專利說明書圖 3 本專利所揭示之 GSM 系統的收發器方框圖	328
圖 36 '135 號專利說明書圖 2 專利所揭示之 RLC 資料區塊下行示意圖	330

目錄

圖 37 '548 號專利說明書圖 4A 本專利所揭示之存取探測傳輸與存取探測序列示意圖	331
圖 38 '727 號專利說明書圖 4A 本專利所揭示之一個加密環境方框圖	332
圖 39 '940 號專利說明書圖 4A 本專利所揭示之無線接口的協議架構在用戶設備與結點 B 與圖一中的無線網路控制器 RNC 之間	334
圖 40 '672 號專利說明書圖 1 本專利所揭示之實施例之蜂巢狀無線通信系統	335
圖 41 '621 號專利說明書圖 6 本專利所揭示之第一個例子之實施方法之流程圖	337
圖 42 '213、'333 號專利說明書圖 1(A)1(B)：系爭發明可移動的質量驅動器	364
圖 43'213 號、'333 號專利說明書圖 19(B)：系爭發明產生震動運作圖	364
圖 44'333 號專利說明書圖 27：觸覺回饋人機介面裝置的運作圖	365
圖 45 IMMERSION 控告 SONY 系爭產品：DUALSHOCK 遊戲機搖桿和 PS 遊戲機	367
圖 46 '273 號專利說明書圖(1)：爭發明鍵盤之掃描碼資訊傳遞圖	449
圖 47 '275 號專利說明書圖(1)：系爭發明電池充電系統圖	451
圖 48 '100 號專利說明書代表圖(1)：記憶體控制模組系統匯流排處理圖	453
圖 49 '273 號專利說明書代表圖(5)：系爭發明包含附加功能鍵之鍵盤圖	454
圖 50 '273 號專利代表圖(1)：系爭發明鍵盤掃描碼資訊傳遞圖	455
圖 51 '275 號專利代表圖(1)：系爭發明電池充電系統圖	456
圖 52 '100 號專利說明書圖(1)：記憶體控制模組系統匯流排處理圖	457
圖 53 '100 號專利說明書圖(2A)：系爭專利實施例代表圖	458
圖 54 '275 號專利引證案'361 號專利說明書圖(1)：系爭發明電源供應系統圖	460
圖 55 '100 號專利引證案'929 號專利說明書圖(1)：系爭發明自 DRAM 讀取資料代表圖	462
圖 56 '100 號專利引證案'331 號專利說明書圖(1)：系爭發明技術運用之電腦系統圖	465
圖 57 '100 號專利引證案'278 號專利說明書圖(3)：系爭發明之記憶體控制器圖	467
圖 58 '100 號專利引證案'536 號專利說明書圖(1)	469
圖 59 '100 號專利引證案'163 號專利說明書圖(1)：系爭發明處理器代表圖	471
圖 60 義隆電子'352 號專利爭訟歷程	558
圖 61 '352 號專利圖 7B 偵測複數手指與感測板接觸之耦合點，並以之控制游標移動的顯示圖	561
圖 62 日本專利 JP6161661A 圖 1 本輸入裝置之概略方塊示意圖	565
圖 63 '358 號專利圖 8-1 以更廣義的例子將本發明以流程圖顯示指向裝置的高層次算法之步驟	571
圖 64 日本專利 JP6161661A 圖 1 本輸入裝置之概略方塊示意圖	588
圖 65 '592 號專利說明書圖 11 依本發明所形成之金屬半導體界面	604
圖 66 '830 號專利說明書圖 10 接下來的處理步驟的部分觀察	605
圖 67 '893 號專利說明書圖 4 當工作電壓被供給至 MOS 電晶體時此狀態之結構剖面圖	607
圖 68 '990 號專利說明書圖 3A 與 3B 根據本發明之記憶體示意圖	609
圖 69 '200 號專利說明書圖 1 說明本發明中重要組成部分的電路安排之電路區塊圖	611
圖 70 '434 號專利說明書圖 2 本發明其中一實施例之乘法器電路區塊示意圖	613
圖 71 '879 號專利說明書圖 2 說明本發明之處理系統的原理框架圖	615

圖 72 '750 號專利說明書圖 2 雙指令集 CPU 的區塊示意圖	617
圖 73 '065 號專利說明書圖 3 本發明之校準和曝光裝置進行校準和曝光過程的控制命令之流程圖。	619
圖 74 '592 號專利說明書圖 7 依先前技藝形成之金屬與矽界面	620
圖 75 '893 號專利說明書圖 1 本發明之一實施例，MOS 電晶體的結構剖面圖	621
圖 76 '893 號專利說明書圖 6 依先前技藝製成之 MOS 電晶體的結構剖面圖	622
圖 77 '434 號專利說明書圖 1A 先前技藝的乘法器電路之區塊示意圖	624
圖 78 '912 號專利說明書圖本發明使用的沉積室之部分部分橫切面側面圖	627
圖 73 '063 號專利圖 9 本發明之磨擦製程與圖 11 本發明中在一基質上之一間隙子之俯視圖	713
圖 74 '006 號專利圖 1 本發明之顯示裝置等尺寸圖	715
圖 75 '556 號專利圖 2 沿 II-II 斷面線之代表圖與圖 8 當鈍化層之蝕刻速率大於閘絕緣層蝕刻速率時，經鈍化層與閘絕緣層之穿透孔代表圖	717
圖 76 '674 號專利圖 3 一包含圖 1 和圖 2 特徵產品之電路佈置符號圖解與圖 4 以圖 3 所示產品沿 4-4 線斷面之代表圖	720
圖 77 '941 號專利圖 2 根據技術之狀態所做出暫時性圖像	722
圖 74 LOWE 引證案圖 1A 及圖 1B 面板之橫截面圖	727
圖 74 MIYAZAKI 引證案圖 12 本發明第七實施例之縱切面圖	729
圖 74 SCHEUBLE 引證案圖 17 顯示一電光學系統中與同質性向列型液晶呈一直線排列之液晶與雙折射函數相關之傳導特性	731

第三節 LG v. Quanta

LG Electronics, Inc.

v.

Quanta Computer, Inc.

1. 前言

本案為韓國電子科技廠商 LG Electronics, Inc. (以下簡稱 LG) 和台灣筆記型電腦代工廠廣達電腦 Quanta Computer, Inc. (以下簡稱 Quanta) 之間的專利權訴訟。LG 公司已成立超過 50 年，其產品主要為消費性電子產品、行動通訊、以及生活家電用品，不斷致力於提昇品牌的國際知名度之下，LG 已是國際知名的電子產業大廠，其在顯示器、行動裝置等技術上擁有相當多的專利，並多次向競爭對手提起專利訴訟，收取權利金。Quanta 是知名的筆記型電腦研發設計製造公司，亦是全球最大的電腦代工廠，其市佔率超過 25%。此案源起於和 LG 簽署專利授權契約的晶片製造商 Intel 公司，將結合 LG 專利的微處理器與晶片組販售給 Quanta 等電腦製造廠商，Quanta 等製造廠商又將微處理器與晶片組與自己生產的產品相結合，此舉被 LG 認為違反與 Intel 協議的授權規定，因此 LG 便對 Quanta 等製造廠商提出專利侵權訴訟。此案經歷一二審後最終上訴至美國聯邦最高法院，主要爭點包含：

- (1) 是否存在默示授權
- (2) 方法專利是否有權利耗盡原則之適用

專利權人在依專利法所賦予之權利進行製造、販售或同意他人製造、販售其專利物品等這些可從中獲取利益之行為後，若能再對該物品主張專利權，將影響該專利物品之流通與利用。為解決此種問題因而發展出權利耗盡原則，以期於專

利權人私權與公共利益之間取得平衡，但長久以來法院並不認同方法專利得適用權利耗盡原則。此案即著重於探討權利耗盡原則之適用，最終 Quanta 在最高法院獲得勝利，結束這場歷經三個審級、長達七年的訴訟戰爭，其判決結果對專利權人、產業鏈之上下游業者以及最終消費者產生相當大的影響。

2. 案件基礎資料

2.1 一審

表 25 LG 控告 Quanta 一審案件基礎資料表

本案原告	LG Electronics, Inc.
原告訴訟代理人	Thomas B. Kenworthy, Scott A. Stempel, Collin W. Park, Morgan Lewis & Bockius LLP, Nathan Wayne McCutcheon, Park, Morgan Lewis & Bockius, Washington, DC, Matthew T. Powers, Sidley Austin Brown & Wood LLP , San Francisco, CA,
本案被告	Asustek Computer, Inc., and Usus Computer International, Inc., Bizcom Electronics, Inc., Compal Electronics, Inc., and Sceptre Technologies, Inc., First International Computer, Inc. and First International Computer of America, Inc., Q-lity Computer, Inc., Quanta Computer, Inc., and Quanta Computer USA, Inc., Everex Systems, Inc.,
被告訴訟代理人	Ronald S. Lemieux, Michael E. Sobel, John V. Komar, Vidya R. Bhakar, Squire Sanders & Dempsey L.L.P., Palo Alto, CA, Quoc-Huy D. Do, Bhakar, Sqire Sanders & Dempsey LLP, San Francisco, CA, John Anson Burlingame, Squire Sanders & Demsey, Washington, DC, James Mason Smith, Squire Sanders & Demsey, Palo Alto, CA, Adam R. Fox, Squire Sanders & Demsey, Los Angeles, CA, Daniel Lewis

	Hawes, Hawes & Associates, New Baltimore, VA, John Anson Burlingame, Squire Sanders & Dempsey, Washington, DC, James Mason Smith, Squire Sanders & Dempsey, Palo Alto, CA, David Morris, Morgan Lweis & Bockius LLP, Washington, DC
技術領域	資料處理系統及其中的運行方法各方面的數項專利
系爭產品	Intel 微處理器 (microprocessor)、晶片組 (chipsets)
系爭專利	U.S. Pat 4,918,645 ('645 patent); U.S. Pat 4,939,641 ('641 patent); U.S. Pat 4,926,419 ('419 patent); U.S. Pat 5,077,733 ('733 patent); U.S. Pat 5,379,379 ('379 patent); U.S. Pat 5,892,509 ('509 patent).
起訴法院	加州北區聯邦地方法院 (United States District Court, N.D. California)
起訴日期	2001 年 4 月 16 日
終結日期	2003 年 2 月 06 日即決判決認為 LG 系統裝置專利已耗盡，但方法專利未被耗盡。
引用文獻	申請專利範圍解釋：2002 WL 34477708
是否上訴二審	是

2.2 二審

表 26 LG 控告 Quanta 二審案件基礎資料表

本案原告上訴人	LG Electronics, Inc.
原告訴訟代理人	Richard G. Taranto, Farr & Taranto, of Washington, DC, argued for plaintiff-appellant. On the brief was Michael J. Schaengold, Patton Boggs LLP, of Washington, DC.
本案被告被上訴人	Bizcom Electronics, Inc., Compal Electronics, Inc., and Sceptre Technologies, Inc., Defendants-Cross Appellants, Everex Systems, Inc., Defendant-Appellee,

	First International Computer Inc. and First International Computer of America, Inc., Defendants-Cross Appellants, Q-Lity Computer, Inc., Quanta Computer, Inc., and Quanta Computer USA, Inc., Defendants-Cross Appellants.
被告訴訟代理人	<p>William J. Anthony, Jr., Orrick, Herrington & Sutcliffe LLP, of Menlo Park, California, argued for defendants-cross appellants Bizcom Electronics, Inc., et al. With him on the brief were Eric L. Wesenberg, Kaiwen Tseng, Matthew J. Hult and Rowena Y. Young.</p> <p>Joseph L. Strabala, Law offices of Joseph L. Strabala, of San Francisco, California for defendant-appellee Everex Systems, Inc., joined in the co-defendants' briefs.</p> <p>Ronald S. Lemieux, Paul, Hastings, Janofsky & Walker LLP, of Palo Alto, California for defendants-cross appellants First International Computer, Inc., et al. Of counsel on the brief was James M. Smith, Squire, Sanders & Dempsey L.L.P., of Palo Alto, California.</p> <p>Terry D. Garnett, Paul, Hastings, Janofsky & Walker LLP, of Los Angeles, California for defendants-cross appellants Q-Lity Computer, Inc., et al. With him on the brief were Vincent K. Yip, Maxwell A. Fox, Peter J. Wied, Sang N. Dang and Jay C. Chiu. Of counsel was Jeffrey D. Mills, Fulbright & Jaworski L.L.P., of Austin, Texas.</p>
技術領域	資料處理系統及其中的運行方法各方面的數項專利
系爭產品	Intel 微處理器 (microprocessor) 、晶片組 (chipsets)
系爭專利	<p>U.S. Pat 4,918,645 ('645 patent);</p> <p>U.S. Pat 5,077,733 ('733 patent);</p> <p>U.S. Pat 4,939,641 ('641 patent);</p> <p>U.S. Pat 5,379,379 ('379 patent);</p> <p>U.S. Pat 5,892,509 ('509 patent).</p>
起訴法院	聯邦巡迴上訴法院(United States Court of Appeals, Federal Circuit.)
起訴日期	2005 年 3 月 24 日
終結日期	2006 年 7 月 07 日維持默示授權不存在及權利耗盡原則不適用方法專利之認定,另外推翻系爭系統專利已耗盡之決

	定，認為專利權耗盡不適用於附條件之販售。
引用文獻	
是否上訴	是

2.3 三審

表 27 LG 控告 Quanta 三審案件基礎資料表

本案上訴人	Quanta Computer, Inc., et al
上訴訴訟代理人	Terrence D. Garnett, Vincent K. Yip, Peter Wied, Paul, Hastings, Janofsky & Walker LLP, Los Angeles, CA, Maureen E. Mahoney, Counsel of Record, J. Scott Ballenger, Barry J. Blonien, Melissa B. Arbus, Anne W. Robinson, Latham & Watkins LLP, Washington, D.C., Maxwell A. Fox, Paul, Hastings, Janofsky & Walker LLP, Minato-Ku, Tokyo
本案被上訴人	LG Electronics, Inc.
被上訴訴訟代理人	Carter G. Phillips, Counsel of Record, Virginia A. Seitz, Jeffrey T. Green, Jeffrey P. Kushan, Rachel H. Townsend, Quin M. Sorenson, Sidley Austin LLP, Washington, D.C.
技術領域	資料處理系統及其中的運行方法各方面的數項專利
系爭產品	Intel 微處理器 (microprocessor)、晶片組 (chipsets)
系爭專利	U.S. Pat 4,939,641 ('641) ('641 patent); U.S. Pat 5,379,379 ('379) ('379 patent); U.S. Pat 5,077,733 ('733) ('733 patent)
起訴法院	美國聯邦最高法院 (Supreme Court of the United States)
起訴日期	2007 年 3 月 09 日
終結日期	2008 年 6 月 09 日判定當方法專利能體現於一物體之上時，販賣此物品即造成專利權的耗盡，因此 LG 專利權利已耗盡無法主張侵權。
引用文獻	

是否上訴	不適用
------	-----

3. 案件簡介

3.1 本案事實

原告LG擁有與電腦系統處理器之訊息讀寫排程相關的系統與方法專利，為解決LG與Intel間長久的專利權爭議，兩家公司進行專利和解並簽訂授權契約，LG將其與資料讀寫處理有關的專利組合授權給Intel，讓Intel得製造及販售實施有LG專利之微處理器(Microprocessor)與晶片組(Chipsets)(以下簡稱Intel產品)。LG為試圖避免第三人因默示授權而將自Intel購得之Intel產品與其他零件組合使用並實施專利發明進而完成電腦系統，因此同時在授權契約之外的主契約(Master Agreement)中提及授權契約中雙方約定不論基於明示或默示之授權，LG給予Intel之授權不包括給予電腦系統製造商結合使用Intel產品與非Intel生產的產品之權利，並要求Intel需書面通知其客戶⁷(但契約中也表明該契約不改變權利耗盡原則之適用⁸)。利用這些契約，LG欲施加售後使用限制約款使Intel之銷售為一附條件販賣，希望能排除方法專利上權利耗盡的適用。

而Quanta等電腦製造廠向Intel購買該系爭產品，Intel按照與LG契約之規定，以信件通知客戶關於不得將Intel產品與非Intel生產之產品結合使用之售後限制，但Quanta等電腦廠商仍將該Intel產品與其他廠牌製造之記憶體與匯流排等零件組裝成電腦產品後販售，因而被LG控告專利侵權。Quanta主張LG之專利在Intel有權販賣下已發生權利耗盡，LG則主張方法專利不適用權利耗盡原則，且Intel之販售違反授權契約為無權販售亦不存在默示授權。本案的主要爭點有以下兩者，一、是否存在默示授權；二、方法發明專利是否有權利耗盡原則之適用。

⁷ Quanta Computer, Inc. v. LG Elecs., Inc., 553 U.S. 617, 2110 (2008).

⁸ *Id.* at 2114.

3.2 兩造背景

LG 創立於 1958，至今已成立超過 50 年，公司員工超過 8 萬 4 千人，在全球擁有 112 個服務營運據點(包括 81 家子公司)。2008 年，LG 全球銷售額達 447 億美元，其產品主要為消費性電子產品、行動通訊、以及生活家電用品，旗下有五大事業體：家庭娛樂、行動通訊、生活家電、冷氣空調以及企業解決方案。不斷致力於提昇品牌的國際知名度之下，LG 已是國際知名的電子產業大廠，其在顯示器、行動裝置等技術上擁有相當多的專利，並多次向競爭對手提起專利訴訟收取權利金。

Quanta 成立於 1988 年，是知名的行動裝置研發設計製造公司，抑是全球最大的電腦代工廠，其市佔率超過 25%，全球的員工已逾七萬人，台灣營運總部約有 5,000 名員工，多半是研發及工程人員。其代工許多品牌之硬體設備，例如 Acer、IBM、HP、戴爾、Apple 電腦、Toshiba、Sony、Lenovo 等。但由於產品眾多，也使 Quanta 時常成為專利訴訟攻擊的對象，Quanta 最近才於 2011 年 10 月與微軟 (Microsoft) 達成和解，Quanta 必須支付專利授權費用給微軟公司。

3.3 本案主要程序進行時程

表 28 LG 控告 Quanta 主要程序進行時程表

程序名稱	時間點	程序結論
LG 一審起訴	2001 年 4 月 16 日	
專利範圍解釋 (2002 WL 34477708)	2002 年 8 月 20 日	針對美國第'645、'641、'419、'733、'379、'509 號專利之申請專利範圍解釋
聯邦地方法院針對是否准許即決判決討論 (2002 WL 31996860)	2002 年 8 月 20 日	准許 Quanta 即決判決之申請
一審聯邦地方法院即	2003 年 2 月 06 日	LG 因專利權利耗盡而無法對

決判決(248 F.Aupp.2d 912)		Quanta 主張專利侵權。 方法專利之侵權不因默示授權或權利耗盡而無法主張。
二審聯邦巡迴上訴法院 (452 F.3d 1364)	2006 年 7 月 7 日	部分維持部分改判聯邦地方法院判決，認為 LG 得主張其專利權。
三審聯邦最高法院 (553 U.S.617)	2008 年 6 月 09 日	系爭專利權利耗盡，LG 無法主張其專利權

3.4 本案系爭專利、系爭產品技術內容

3.4.1 本案系爭專利

(1) 美國第 4,939,641 號專利

USPC 分類號	364/200, 364/243.4, 364/243.41, 364/259.2	申請號	07/213556
IPC 分類號	G06E 013/00	專利名稱	有快取記憶體的多工系統 (Multi-Processor System With Cache Memories)
專利號	4,939,641	專利權人	Wang Laboratories, Inc., Lowell, MA
發明人	Schwartz, Martin J., Worcester, MA Becker, Robert D., Shirley, MA	早期公開日	無
申請日	1988-06-30	公開日	1990-07-03
優先權日	1988-06-30	優先權案號	US1988213556A
專利摘要	一種在 CPU 中描述的系統，包含主記憶體及匯流排等裝置。快取記憶體負責組合 CPU 和匯流排以提供其內儲存的數據單元狀		

	<p>況之指示。一個指示的訊號告知該內容的儲存位置是否被變更，因為那些內容是從主記憶體接收而儲存位置的目錄可能是在別處。控制器的功能是用來確認當接收到來自 CPU 的資料單元且將之儲存於與 CPU 相連的快取記憶體中時，該資料單元同時被儲存於與另一 CPU 相連的快取記憶體中，此資料單元也會被寫入主記憶體中。在過程中，其他的快取記憶體監控匯排流並持續更新相關的資料。匯排流監視器監視所有寫入到主記憶體以及從主記憶體中讀出的資料，確保整個系統數據的完整性。</p>
<p>技術特徵</p>	<p>避免使用合法／不合法的判斷位元及降低存取主記憶體的次數。</p>
<p>功效說明</p>	<p>此系統包含一個 CPU (10)、一個主記憶體 (14)、一個快取記憶體、及一個連接兩記憶體的匯流排 (42)。快取包含有資料的現狀，其中一指示從主記憶體接收後其儲存的位置是否被修改，另一指示是否有相同的內容儲存在其他記憶體中。快取控制器 (40) (Cache Controller) 若資料從一 CPU 中被寫入他的快閃位置時有另一相對的快閃位置，則將此資料寫入主記憶體中。每個快取監控器讀取並寫入往返於主記憶體的資料並隨時更新拷貝相關的資料。</p>
<p>代表圖</p>	<p>圖 14 '641 號專利說代表圖專利發明之高階方塊圖</p>
<p>元件符號說</p>	<p>10：中央處理器 (Central Processing Unit) 12：中央處理器 (Central Processing Unit)</p>

明	14：主記憶體（Main Memory） 16：位址轉譯器（Address Translator） 16'：位址轉譯器（Address Translator） 18：多工器（Multiplexer） 18'：多工器（Multiplexer） 20：實體位址暫存器（Physical Address Register） 20'：實體位址暫存器（Physical Address Register） 22：數位線（Cable） 22'：數位線（Cable） 24：快取匯流排（Cache Bus） 24'：快取匯流排（Cache Bus） 26：快取資料匯流排（Cache Data Bus） 26'：快取資料匯流排（Cache Data Bus） 27：數位線（Cable） 27'：數位線（Cable） 28：快取標籤儲存區（Cache Tag Store） 28'：快取標籤儲存區（Cache Tag Store） 30：重複位元暫存器（Dirty Bit Register） 30'：重複位元暫存器（Dirty Bit Register） 32：分享位元暫存器（Shared Bit Register） 32'：分享位元暫存器（Shared Bit Register） 34：數位線（Cable） 34'：數位線（Cable） 36：比較器（Comparator） 36'：比較器（Comparator） 38：數位線（Cable） 38'：數位線（Cable） 39：線（Line） 40：快取控制器（Cache Controller） 40'：快取控制器（Cache Controller） 42：數位線（Cable） 42'：數位線（Cable） 43：線（Line） 43'：線（Line） 44：數位線（Cable） 44'：數位線（Cable） 45：線（Line） 45'：線（Line）
---	--

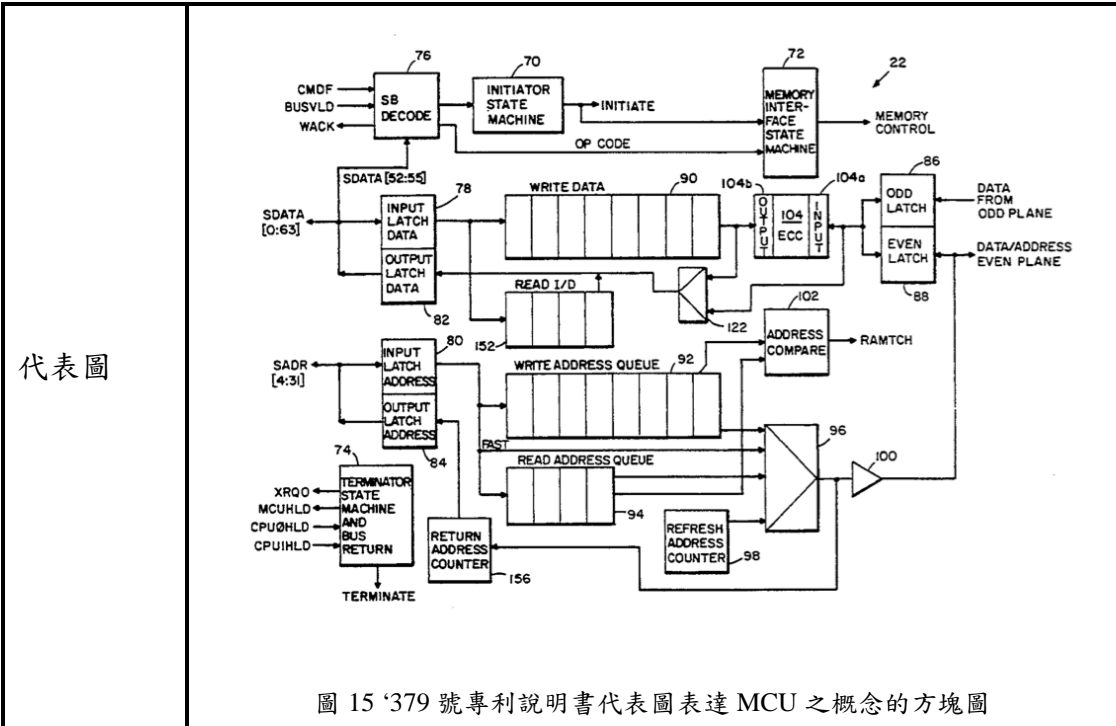
49	: 數位線 (Cable)
49'	: 數位線 (Cable)
50	: 資料匯流排介面 (Data Bus Interface)
50'	: 資料匯流排介面 (Data Bus Interface)
51	: 數位線 (Cable)
52	: 位址匯流排介面 (Address Bus Interface)
52'	: 位址匯流排介面 (Address Bus Interface)
53	: 主控制線 (Main Control Line)
54	: 控制單元 (Control Unit)
55	: 分享線 (Shared Line)
56	: 數位線 (Cable)
56'	: 數位線 (Cable)
57	: 停止線 (Hold Line)
57'	: 停止線 (Hold Line)
58	: 外部位址暫存器 (External Address Register)
58'	: 外部位址暫存器 (External Address Register)
59	: 匯流排鎖定線 (Bus Lock Line)
60	: 線 (Line)
60'	: 線 (Line)
61	: 輸出出入介面 (I/O Interface)
62	: 數位線 (Cable)
62'	: 數位線 (Cable)
63	: 系統控制介面單元 (System Control Interface Unit)
64	: 比較器 (Comparator)
64'	: 比較器 (Comparator)
66	: 數位線 (Cable)
66'	: 數位線 (Cable)
67	: 線 (Line)
67'	: 線 (Line)
68	: 數位線 (Cable)
68'	: 數位線 (Cable)
70	: 線 (Line)
70'	: 線 (Line)
72	: 線 (Line)
72'	: 線 (Line)
80	: 數位線 (Cable)
80'	: 數位線 (Cable)
90	: 多字傳輸暫存器 (Multi Word Transfer Register)

	90'：多字傳輸暫存器（Multi Word Transfer Register） 102：資料匯流排（Data Bus） 104：位址匯流排（Address Bus） 106：控制匯流排（Control Bus）
--	--

(2) 美國第 5,379,379 號專利

USPC 分類號	395/250, 395/425, 395/725, 364/239.5, 364/242.91, 364/246.6, 364/DIG. 1, 364/937.01, 364/939.1, 364/969, 364/DIG. 2	申請號	07/580365
IPC 分類號	G06F 013/16	專利名稱	有選擇排成讀寫處理的記憶體控制單元（Memory Control Unit With Selective Execution Of Queued Read And Write Requests）
專利號	5,379,379	專利權人	Wang Laboratories, Inc., Lowell, MA
發明人	Becker, Robert D., Shirley, MA Schwartz, Martin J., Worcester, MA Curcuro, Kevin H., Pepperell, MA Eng, Kenneth J., West Bridgewater, MA	早期公開日	無
申請日	1990-09-06	公開日	1995-01-03
優先權日	1988-06-30/1990-09-06	優先權案	US1988213395A/

		號	US1990580365A
專利摘要	<p>一種記憶體控制單元 (Memory Control Unit, MCU) 包括連結一個或多個記憶單元 (Memory Units) 的第一介面、連結系統匯流排 (System Bus), 其中包括呈現資訊單元 (Information Units) 的系統資料匯流排 (System Data Bus)、記憶體讀取及寫入要求、以及一個系統位址匯流排 (System Address Bus) 的第二介面。MCU 更包含用來回應來自系統匯流排的寫入要求的邏輯, 可將一個或多個資訊單元依系統位址匯流排可辨識的位址存入一個記憶單元內。儲存的邏輯包括接收寫入要求以及緩衝邏輯 (Buffer Logic) 用來處理當有複數個存儲位置時, 儲存接收到的寫入要求以及相關的寫入要求。MCU 更包含用來回應來自系統匯流排的讀取要求的邏輯, 可依系統位址匯流排可辨識的位址讀取記憶單元內一個或多個資訊單元。MCU 內含邏輯能比較接收到的儲存於寫入位址緩衝區內的讀取位址以及寫入位址, 並在當目前接收到的讀取位址有一數值是在已儲存的寫入位址中預先決定的範圍之內時, 輸出其結果。</p>		
技術特徵	<p>使中央記憶體系統連接到高速不互相連的系統匯流排。保持存取的速率同時確保正確的讀取及寫入順序。</p>		
功效說明	<p>一個記憶體控制單元 (22) 連接一個或多個記憶單元 (26, 28, 30, 32) 及系統匯流排 (SB12)。所有的讀取及寫入要求被緩衝至 MCU (22)。通常所有來自系統匯流排的讀取和寫入要求都在 MCU 中排隊, 且讓讀取要求優先於寫入要求。MCU 同時包含邏輯可比較每個讀取和寫入要求, 若一個讀取要求所要求的位址與在排隊中的寫入要求有相關, 則處理在該寫入要求前的所有讀取要求, 然後在處理該有相關寫入要求位址的讀取要求之前, 先處理該相關的寫入要求。</p>		



- 元件符號說明
- 22：記憶體控制單元 (Memory Control Unit)
 - 70：原始狀態機 (Initiator State Machine)
 - 72：記憶體介面狀態機 (Interface State Machine)
 - 74：終端機 (Terminator State Machine)
 - 76：系統匯流排解碼 (System Bus Decode)
 - 78：輸入資料閘 (Input Data Latch)
 - 80：輸入位址閘 (Input Address Latch)
 - 82：輸出資料閘 (Output Data Latch)
 - 84：輸出位址閘 (Output Address Latch)
 - 86：基數記憶區塊資料閘 (Odd Memory Plane Data Latch)
 - 88：偶數記憶區塊資料閘 (Even Memory Plane Data Latch)
 - 90：寫入資料佇列 (Write Data Queue)
 - 92：寫入位址佇列 (Write Address Queue)
 - 94：讀取位址佇列 (Read Address Queue)
 - 96：多工器 (Multiplexer)
 - 98：浮動位址計數器 (Refresh Address Counter)
 - 100：緩衝區 (Buffer)
 - 102：位址邏輯運算子 (Address Comparison Logic Block)
 - 104a：輸入偵測邏輯 (Input Detection Logic)
 - 104b：輸出偵測邏輯 (Output Detection Logic)
 - 122：解碼器 (Decoder)
 - 152：讀取資料佇列 (Read Data Queue)
 - 156：回復位址計數器 (Return Address Counter)

(3) 美國第 5,077,733 號專利

USPC 分類號	370/085.6, 370/085.11, 340/825.5	申請號	07/405792
IPC 分類號	H04L 005/22	專利名稱	可排定的停留節點的排程裝置 (Priority Apparatus Having Programmable Node Dwell Time)
專利號	5,077,733	專利權人	Wang Laboratories, Inc., Lowell, MA
發明人	Whipple, David L., Braintree, MA	早期公開日	無
申請日	1989-09-11	公開日	1991-12-31 *Notice: The portion of the term of this patent subsequent to 2007/05/15 has been disclaimed.
優先權日	1989-02-28/1989-09-11	優先權案號	US1989317100A/US1989405792A
專利摘要	<p>一種裝置用來決定一組要使用匯流排的節點 (Node) 去使用匯流排的優先順序 (Priority)，為了決定這個優先順序，這個裝置將這些節點環狀排列並選擇其中一節點當參考節點 (Anchor Node)，此參考節點有最高的順位，而其他節點的優先順序由其位置與參考節點位置的距離做決定。每個節點包含一個預先設定的計數器 (Counter) 用來指出一個節點在最優先的順位移轉給其他節點前能使用匯流排資源的時間，當其中一個節點使用匯流排的次數到達預先決定的存取次數時，目前的參考節點將不再是參考節點而由下一個環狀上的節點當做新的參考節點，其他節點的優先順序因更換參考節點而改變。</p>		

<p>技術特徵</p>	<p>透過排程單元間的優先順序，使兩個單元輪流享有對該匯流排的優先存取次序，且高使用量的元件具有較高的循環次數，使匯流排不會無止盡的被其中一單元霸佔。</p>
<p>功效說明</p>	<p>此裝置包含一組連結在匯流排上的端點（Peripheral）或節點。每個節點都接收到來自相鄰節點的一個優先順序，並提供另一優先順序給下一個環狀上相鄰的節點。邏輯判斷當沒有其他更高順位的節點要求存取時讓此節點存取匯流排。第一順位在一預定存取次數後會交給下一個節點。</p>
<p>代表圖</p>	<p>圖 16 '733 號專利說明書代表圖系統結合此發明的方塊圖</p>
<p>元件符號說明</p>	<p>108 MEM₁：第一記憶體單元（Memory Units） 108 MEM₂：第二記憶體單元（Memory Units） 108 MEM_n：第 n 記憶體單元（Memory Units） 108 MEM_{n+1}：第 n+1 記憶體單元（Memory Units） 108 MEM_{n+2}：第 n+2 記憶體單元（Memory Units） 110 CPU₁：第一中央處理單元（Central Processing Units） 110 CPU₂：第二中央處理單元（Central Processing Units） 110 CPU_n：第 n 中央處理單元（Central Processing Units） 110 CPU_{n+1}：第 n+1 中央處理單元（Central Processing Units） 112 LSC：本地系統控制器（Local System Controllers） 114 RSC：遠端系統控制器（Remote System Controllers） 116 SBI₁：第一系統匯流排介面（System Bus Interfaces） 116 SBI_n：第 n 系統匯流排介面（System Bus Interfaces）</p>

	116 SBI _{n+1} ：第 n+1 系統匯流排介面 (System Bus Interfaces) 118 SPU：通訊處理單元 (Satellite Processing Units) 120 SPU BUS：通訊處理單元匯流排 (Satellite Processing Units Bus)
--	--

3.4.2 專利技術簡介

(1) 美國 4,939,641 號專利

電腦系統的主要功能即是透過微處理器 (Microprocessor) 及中央處理單元 (Central Processing Unit) 來解讀程式指令、處理資料、以及控制系統中的裝置。用金屬線 (Wires) 或匯排流 (Bus) 與微處理器組合成為晶片 (Chipset) 後，即可透過晶片在裝置與微處理器之間傳遞資訊，這些裝置包括滑鼠、鍵盤、硬碟、記憶體等。

電腦處理中的資訊通常儲存於隨機存取記憶體之中 (Random Access Memory)，也是通稱的主記憶體 (Main Memory)。而最近期讀取的資料則儲存於位於微處理器上的快取記憶體 (Cache Memory)，以提供比主記憶體更快速的讀寫功能。

但當複製的資料同時儲存於快取記憶體及主記憶體中，而一邊資料發生更動但另一邊資料仍為更改前版本時則會發生問題，例如，快取記憶體已更新，而主記憶體仍保持其原有資料而未被更新，如此會造成取得資料上的問題。而此'641 號專利即負責解決這樣的問題，透過監控被要求的資料並在發現被要求的資料為陳舊的版本時從快取記憶體更新主記憶體中陳舊的資料，以確保系統讀取的都是最新的資料，使系統免於讀取到未儲存的舊版本資訊。

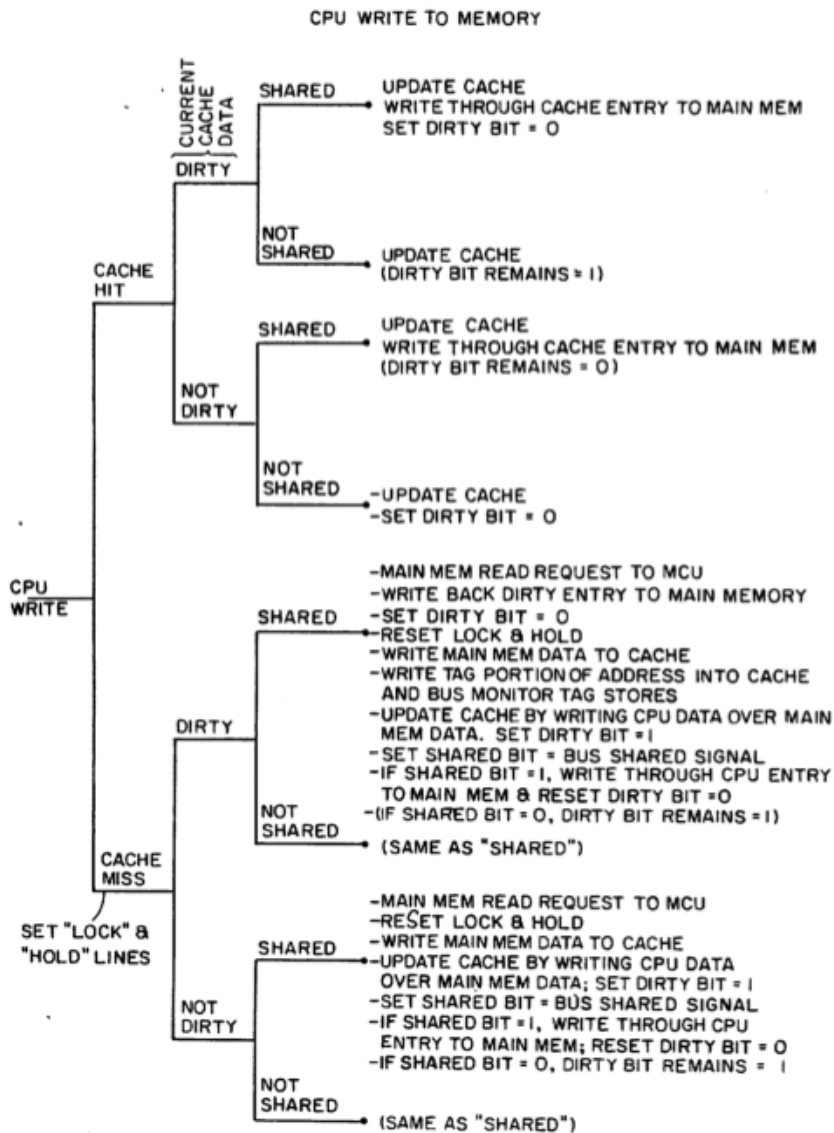


FIG. 5

圖 17 '641 號專利說明書圖 5 當 CPU 寫入資料到記憶體時的決策樹

(2) 美國 5,379,379 號專利

讀取／寫入要求 (Request) 是當匯流排上的裝置需要從主記憶體讀取／寫入資料時傳遞的要求，此號專利說明如何控制這些需要讀取／寫入主記憶體的要求的順序，考量到電腦在執行讀取要求比執行寫入要求快速，但若所要讀取的資料是在更新的資料寫入之前就被讀取，則此時所讀取的資料反而是舊的資料，因此主要原則為先執行讀取要求，當要讀取的資料經過修改尚未儲存時再處理寫入

的要求。

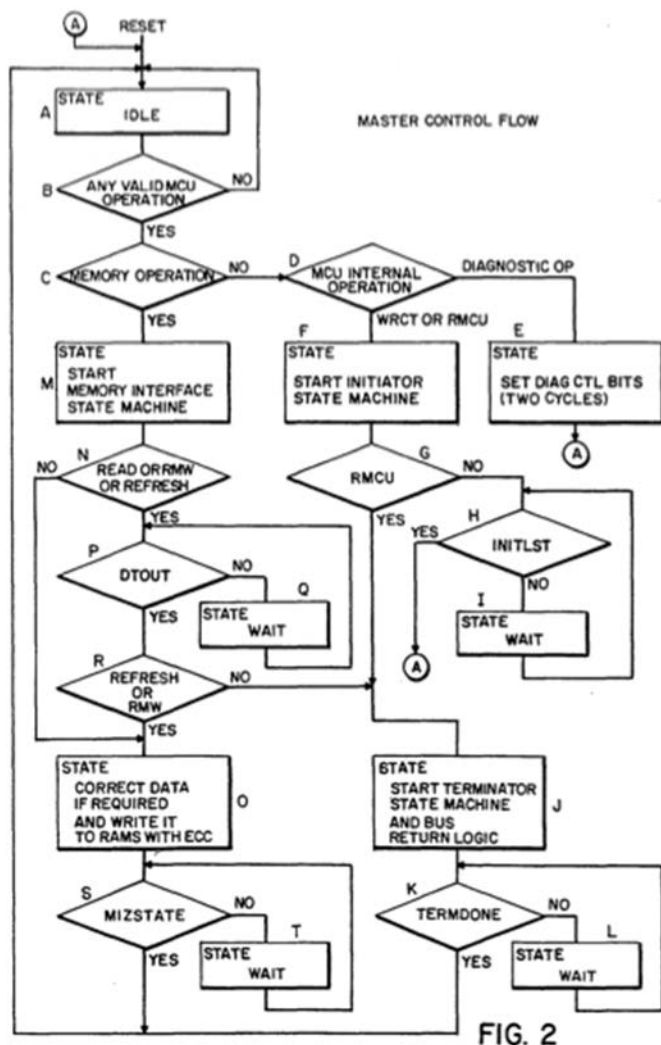


圖 18 '379 號專利說明書圖 2 表達 MCU 的主控制流程之流程圖

在此專利中，讀寫要求會經過記憶體控制器（Memory Controller）到達主記憶體，記憶體控制器內有讀取／寫入的緩衝區（Buffers），用來暫存準備要傳送給主記憶體的讀寫要求。記憶體控制器理會檢查所有進來的讀取要求所標示的記憶體位址（Memory Address），並將之與緩衝區內的寫入要求標示的記憶體位製作比對，若無相同（Match）的則執行該讀取要求，若出現相同則傳輸該寫入的要求讓記憶體執行寫入的動作，如此就能保證不會讀取到已修改但尚未寫入的舊資料。

(3) 美國 5,077,733 號專利

在匯流排傳輸技術上必須要避免單一組件壟斷匯流排之傳輸功能，且要容許多個元件共享該匯流排，並給予高使用量的元件較高的存取用量。此號專利能解決連接兩電腦單元的匯排流上發生的資訊壅塞情形，他使兩個單元能共用一個匯排流，讓匯排流不被其中一個單元獨佔。此專利揭露一個輪流取得優先存取次序的方法，讓使用中的元件持續使用，直到計數器達到預定的循環次數時換其他單元使用，透過排程單元間的優先順序，使單元輪流享有對該匯流排的優先存取次序，且高使用量的元件具有較高的循環次數，使匯排流不會無止盡的被其中一單元霸佔（Hogging）。

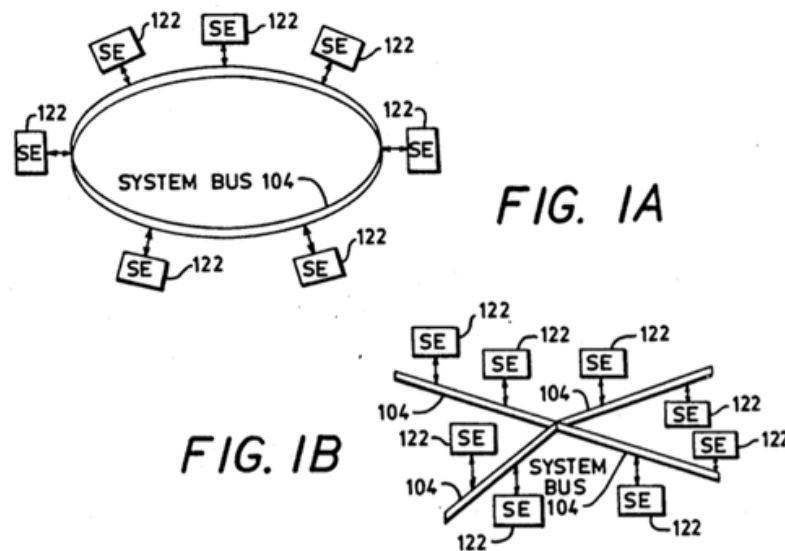


圖 19 ‘733 號專利說明書圖 1A、1B 拓撲結構之環狀排列的系統匯流排示意圖

3.4.3 被控侵權產品

本案之被控侵權產品為 Intel 生產包含 LG 數項專利的微處理器（microprocessor）及晶片組（chipsets）。

4. 案件分析

4.1 申請專利範圍解釋⁹（於最高法院爭訟之三項專利）

4.1.1 本案事實

法院已於訴訟程序中，做出申請專利範圍解釋。該三項專利之技術內容依請求項之描述分析如下：

系爭專利請求項整理表	
(1) 美國 4,939,641 號專利請求項第 1 項	1. A data processing system including one or more central processing units, main memory means, and bus means, for each central processing unit the invention comprising: cache memory means coupled between the central processing unit and said bus means; bus monitor means associated with said cache memory means and coupled to said bus means for detecting on said bus means an address associated with a data unit transferred from said main memory means to a bus connection requesting the data unit; means coupled to said cache memory means and to said bus means for determining if data having the same address as said transferred data unit is present in said cache memory means and, if present, for asserting a hold signal on said bus means, the assertion of the hold signal indicating at least to the bus connection requesting the data unit that another data unit may be transmitted over said bus means; and means for detecting whether data corresponding to the address of said transferred data unit and determined to be stored in said cache memory means may be different in content from said transferred data unit and, if so, transmitting said data from said cache memory means to said bus means for reception by the bus connection requesting the data unit.

⁹ LG Electronics, Inc. v. Asustek Computer, Inc., et al., 2002 WL 34477708 (N.D. Cal. Aug. 20, 2002) (markman order).

	<p>1. 一種資料處理系統包含一個或多個中央處理器 (CPU)、主記憶體裝置 (Memory Means)、以及匯流排裝置 (Bus Means)，每一個 CPU 包含：</p> <p>在 CPU 以及匯流排之間的快取記憶體裝置 (Cache Memory)、與快取記憶體及匯流排相連的匯流排監視器裝置 (Bus Monitor)，用來偵測經由匯流排由主記憶體傳輸至其他要求資料的裝置的資料單元的位址 (Address)，若正要傳輸的資料單元位址和快取記憶中儲存的資料有相同時，會以一停止訊號 (Hold Signal) 通知要求該資料的裝置有其他相同位址的資料在快取記憶體中，當正要傳輸的資料與快取記憶體中儲存的資料內容不相同時，則傳輸快取記憶體中的資料給要求資料的裝置。</p>
<p>(2) 美國 4,939,641 號專利請求項第 5 項</p>	<p>5. A data processing system including at least first and second central processing units, main memory means, and bus means, the invention comprising: at least first and second cache memory means respectively coupled between said first and second central processing units and said bus means; bus monitor means associated with each said cache memory means respectively and coupled to said bus means for detecting on said bus means an address associated with a data unit being read from said main memory means; means coupled to said associated cache memory means and to said bus means for determining if said corresponding to said address as detected by said bus monitor means is present in the associated cache memory means and, if said data is found to be present, for asserting a first hold signal on said bus means, the assertion of the first hold signal indicating at least to a bus connection reading the data unit that another data unit may be transmitted over said bus means; and means for detecting whether the data corresponding to said address and stored in said associated cache memory means may be different in content from</p>

	<p>that detected as being read and, if the data is determined to possibly be different in content, transmitting said data from said associated cache memory means to the bus connection reading the data unit from said main memory.</p> <p>5.一種資料處理系統 (Data Processing System) 包含至少第一和第二個 CPU、主記憶體、以及匯流排，專利發明包括：</p> <p>至少第一和第二個快取記憶體組合於第一和第二個 CPU 及匯流排之間；</p> <p>匯流排監視器 (Bus Monitor) 與快取記憶體相連並與匯流排組合，用來偵測在匯流排上從主記憶體中讀取出的資料單元位址；</p> <p>組合快取記憶體及匯流排的組合，用來決定存在於相連的快取記憶體中偵測匯流排監視器得到相關的位址，若有找到資料，匯流排匯出現第一個停止訊號 (Hold Signal)，停止訊號指出當一個匯流排上有資料單元在傳輸的過程中，有至少另一資料單元也要使用匯流排資源；</p> <p>偵測資料的位址與已存於快取記憶體中的資料是否在內容上有不同，若認為內容有不同的可能，從快取記憶體傳送讀取自主記憶體的資料給匯流排。</p>
<p>(3) 美國 4,939,641 號專利請求項 第 14 項</p>	<p>14. In a data processing system comprising at least one central processing unit having a cache memory coupled to a system memory through a system bus, the system bus including signal lines for conveying, during bus cycles, address information and data units associated with addresses between the system memory and other bus connections coupled to the system bus, the cache memory comprising: means for monitoring bus transactions occurring on the system bus for determining if a bus transaction occurring during a current bus cycle is an operation initiated by another bus connection that reads one or more data units from an address of the system memory; means for detecting if the address is</p>

	<p>associated with one or more data units already stored within the cache memory; and means having an input coupled to said detecting means and responsive thereto and further having an output coupled to the system bus for asserting thereon during the current bus cycle a HOLD signal line, the assertion of the HOLD signal line indicating to the bus connection initiating the read operation that at least one of the data units associated with the address is stored within the cache memory and that the cache memory will, if the data unit is determined to be marked as dirty within the cache memory, transmit the stored data unit to the bus connection during a subsequent bus cycle.</p> <p>14. 在一個資料處理系統中包含至少一個 CPU 並透過匯流排連結快取記憶體和系統記憶體，系統匯流排包含訊號線用來在匯流排迴圈中傳遞於系統記憶體與匯流排之間的位址資訊以及資料單元，快取記憶體包含： 監控系統匯流排上匯流排之間傳遞的裝置，監視如果發生在目前匯流排循環期間的匯流處理，是由另一匯流排從一個系統記憶體的位址中讀取一個或多個資料單元； 偵測位址是否與一或多個已存在於快取記憶體中的資料單元相關； 對進來的資料進行偵測，停止訊號線（Hold Signal Line）偵測並反應當匯流排連接的讀取運算出現至少一個與此位址相關的資料單元已儲存於快取記憶體中，且該資料單元被標記陳舊資料（Dirty）時，該快取記憶體會傳送該被儲存的資料單元給匯流排。</p>
<p>(4) 美國 5,379,379 號專利請求項第 1 項</p>	<p>1. A memory control unit for controlling a main system memory of a data processing system, the main system memory being comprised of at least one memory unit, comprising: first interface means for coupling said memory control unit to the at least one memory unit of the main system memory; second interface means for coupling said memory</p>

	<p>control unit to a system bus having signal lines for expressing information units, including memory read and write requests, the system bus including a system address bus; means, coupled to said first and to said second interface means and responsive to a write request from said system bus, for executing the write request by storing one or more information units within a memory unit at an address specified by the system address bus, said write request executing means comprising write request receiving and buffer means having a plurality of storage locations capable of storing a plurality of received write requests and associated write addresses prior to execution of the write requests; means, coupled to said first and to said second interface means and responsive to a read request from said system bus, for executing the read request by reading one or more information units from a memory unit at a location specified by the system address bus, said read request executing means comprising read request receiving and buffer means having a plurality of storage locations capable of storing a plurality of received read requests and associated read addresses prior to execution of the read requests; said memory control unit further comprising: means, having a first input coupled to said write buffer means and a second input coupled to said read request receiving means, for comparing a received read address to write addresses stored in said write address buffer means, said comparing means having an output signal for indicating, when asserted, an occurrence of the reception of a read address within a predetermined range of addresses of one of said stored write addresses; and means for controlling the execution of read and write requests, said controlling means being coupled to said comparing means output signal and being responsive to said comparing means output signal</p>
--	--

	<p>not being asserted for causing an execution of all buffered read requests before any buffered write requests, said controlling means further being responsive to said comparing means output signal being asserted for first causing an execution of only those buffered read requests which precede a buffered read request which caused the assertion of said comparing means output signal and then causing an execution of buffered write requests.</p> <p>1. 一種 MCU 用來控制資料處理系統 (Data Processing System) 中由至少一個記憶單元所構成的主系統記憶體 (Main System Memory), 其包含:</p> <p>第一個介面由 MCU 和至少一個主系統記憶體中的記憶單元組成;</p> <p>第二個介面由 MCU 和系統匯流排組成, 透過有訊號線傳遞包括讀取或寫入記憶體的資訊單元, 系統匯流排包括一個系統位址匯流排 (System Address Bus);</p> <p>透過結合第一介面和第二介面回應從系統匯流排傳遞過來的寫入要求, 為了處理儲存一個或多個以系統位址匯流排可辨識位址的資訊單元於一個記憶單元中的寫入要求, 寫入要求的裝置 (Write Request Executing Means) 處理收到的寫入要求, 而緩衝區 (Buffer Means) 有複數的儲存位置能儲存接收到的多個寫入要求以及寫入位址, 之後再處理此寫入要求;</p> <p>結合第一介面和第二介面回應從系統匯流排傳遞過來的讀取要求, 為了處理儲存一個或多個以系統位址匯流排可辨識位址的資訊單元於一個記憶單元中的讀取要求, 讀取要求的裝置 (Read Request Executing Means) 處理收到的讀取要求, 而緩衝裝置 (Buffer Means) 有複數的儲存位置能儲存接收到的多個讀取要求以及讀取位址, 之後再處理此讀取要求。</p> <p>MCU 包含:</p> <p>有兩輸入組合分別是寫入緩衝區 (Write Buffer Means) 及讀取要求接收裝置 (Read Request</p>
--	--

	<p>Receiving Means)，用來處理接收到的讀取位址以及存在寫入位址緩衝區內的寫入位址，比較的裝置（Comparing Means）於目前接收到的讀取位址有一數值是在已儲存的寫入位址中預先決定的範圍之內時，輸出其結果；</p> <p>處理讀取和寫入要求的控制裝置（Controlling Means）用來比較裝置的輸出訊號及確保不會在寫入之前先執行所有的讀取要求，當有前述會造成比較裝置輸出結果的狀況時，會先處理在此之前的所有緩衝區內的讀取要求，之後再處理該緩衝區內需寫入的要求。</p>
<p>(5) 美國 5,379,379 號專利請求項 第 22 項</p>	<p>22. A memory control unit for controlling a main system memory of a data processing system, the main system memory being comprised of at least one memory unit, comprising: first interface means for coupling said memory control unit to the at least one memory unit of the main system memory; second interface means for coupling said memory control unit to a system bus having signal lines for expressing information units, including memory read and write requests, the system bus including a system address bus; means, coupled to said first and to said second interface means and responsive to a write request from said system bus, for executing the write request by storing one or more information units within a memory unit at an address specified by the system address bus, said write request executing means comprising write request receiving and buffer means having a plurality of storage locations capable of storing a plurality of received write requests and associated write addresses prior to execution of the write requests; means, coupled to said first and to said second interface means and responsive to a read request from said system bus, for executing the read request by reading one or more information units from a memory unit at a location specified by the system address bus, said read request executing means comprising read</p>

	<p>request receiving and buffer means having a plurality of storage locations capable of storing a plurality of received read requests and associated read addresses prior to execution of the read requests; said memory control unit further comprising: means responsive to the operation of said write request receiving and buffer means and to said read request executing means for determining, at least during a time that said read request executing means is executing a buffered read request, when a predetermined number of write requests are buffered within said write request buffer means, the predetermined number being less than a maximum possible number of buffered write requests; means responsive to the operation of said determining means for causing said second interface means to assert a signal on said system bus when said determining means determines that the predetermined number of write requests are buffered within said write request buffer means, an assertion of said signal preventing a reception of further read or write requests from said system bus; and means responsive to the operation of said determining means for executing at least one buffered write request such that the remaining number of buffered write requests is less than the predetermined number.</p> <p>22. 一種 MCU 用來控制一個資料處理系統 (Data Processing System) 中由至少一個記憶單元所構成的主系統記憶體 (Main System Memory), 其包含:</p> <p>第一個介面由 MCU 和至少一個主系統記憶體中的記憶單元組成;</p> <p>第二個介面由 MCU 和系統匯流排組成, 透過有訊號線傳遞包括讀取或寫入記憶體的資訊單元, 系統匯流排包括一個系統位址匯流排 (System Address Bus);</p> <p>透過結合第一介面和第二介面回應從系統匯</p>
--	---

	<p>流排傳遞過來的寫入要求，為了處理儲存一個或多個以系統位址匯流排可辨識位址的資訊單元於一個記憶單元中的寫入要求，寫入要求的裝置 (Write Request Executing Means) 處理收到的寫入要求，而緩衝裝置 (Buffer Means) 有複數的儲存位置能儲存接收到的多個寫入要求以及寫入位址，之後再處理此寫入要求。</p> <p>MCU 包含：</p> <p>回應對於接收到寫入要求及緩衝區的運算，以及要求處理裝置 (Executing Means) 在讀取要求處理裝置處理緩衝區內讀取要求的時間內，決定何時將預先決定的寫入要求數量被緩衝至寫入要求緩衝區中，預先決定的數量需少於最大可被放入寫入要求緩衝區中的數量；</p> <p>回應相關裝置對於造成第二介面發出訊號的運算，當預先決定的寫入要求數量被放入寫入要求緩衝區中會造成第二介面發出訊號，此訊號防止系統匯流排傳來更多其他的讀取或寫入要求；</p> <p>執行至少一個被緩衝的寫入要求使在緩衝區內的寫入要求數量少於預先決定的數量。</p>
<p>(6) 美國 5,379,379 號專利請求項 第 23 項</p>	<p>23. A memory control unit as set forth in claim 22 and further comprising means, having a first input coupled to said write buffer means and a second input coupled to said read request receiving means, for comparing a received read address to write addresses stored in said write address buffer means, said comparing means having an output signal for indicating, when asserted, an occurrence of the reception of a read address within a range of addresses of one of said stored write addresses, said memory control unit further comprising means for controlling the execution of read and write requests, said controlling means being coupled to said comparing means output signal and being responsive to said comparing means output signal</p>

	<p>not being asserted for causing an execution of all buffered read requests before any buffered write requests, said controlling means further being responsive to said comparing means output signal being asserted for causing an execution of only those buffered read requests which precede a buffered read request which caused the assertion of said comparing means output signal and then causing an execution of buffered write requests.</p> <p>23. 如請求項 22 所述之 MCU，其中另有兩輸入組合分別是寫入緩衝區 (Write Buffer Means) 及讀取要求接收裝置 (Read Request Receiving Means)，用來處理接收到的讀取位址以及存在寫入位址緩衝區內的寫入位址。比較的裝置 (Comparing Means) 於目前接收到的讀取位址有一數值是在已儲存的寫入位址中預先決定的範圍之內時，輸出其結果。處理讀取和寫入要求的控制裝置 (Controlling Means) 用來比較裝置的輸出訊號及確保不會在寫入之前先執行所有的讀取要求，當有前述會造成比較裝置輸出結果的狀況時，會先處理在此之前的所有緩衝區內的讀取要求，之後再處理該緩衝區內需寫入的要求。</p>
<p>(7) 美國 5,077,733 號專利請求項第 1 項</p>	<p>1. Apparatus for determining priority of access to a bus among a set of devices coupled to the bus, each device being represented for priority purposes by a node in a group of nodes, each node being coupled to the bus and receiving a priority line from a first adjacent node and providing a priority line to a second adjacent node and having a priority relative to a single node with the highest priority, the priority determining apparatus comprising in each node: priority logic means for permitting access to the represented device if no higher priority node has requested access; and highest priority node specification means responsive to the bus for specifying whether the node is presently the highest priority node and, if the node is presently the highest</p>

	<p>priority node, dynamically giving the highest priority to another of the nodes in response to a predetermined number of accesses of the bus by one of the set of devices.</p> <p>1. 一種裝置用來決定一組組合於匯流排的裝置存取匯流排時的優先順序，每一個裝置由一節點代表，因此這組裝置可視為一組相連於匯流排的節點。每個節點與匯流排相連且接收來自鄰近的第一個節點的順序線 (Priority Line)，並提供下一個鄰近的節點順序線，同時擁有因參考節點而產生的優先順序。決定優先順序的裝置存在於每個節點中，其中包含： 優先順序邏輯 (Priority Logic) 准許當沒有其他更優先順位的裝置要求使用時此節點代表的裝置可使用匯流排； 最高順位節點辨別裝置 (Highest Priority Node Specification Means) 向匯流排反應這個節點是否擁有最優先的順位，若這個節點是目前最高順位，則此裝置已預先決定的存取次數將達到時數動態的給予另一節點最高順位。</p>
<p>(8) 美國 5,077,733 號專利請求項 第 15 項</p>	<p>15. A method for determining priority of access to a bus among a set of devices coupled to the bus, each device being represented for priority purposes by a node in a group of nodes and each node having a priority relative to a single node currently having the highest priority, the method comprising the steps of: receiving an access request in a node from a represented device; determining whether any node with a higher priority has received an access request; if no such node has received an access request, permitting the device to access the bus; counting a number of accesses by the device to the bus; and in response to predetermined number of accesses to the bus, giving another node the highest priority.</p> <p>15. 一種方法用來決定一組組合於匯流排的裝置存取匯流排時的優先順序，每一個裝置為了排序目的由一組節點中的一節點代表，且每</p>

	<p>個節點相對於目前第一順位的節點都有其各自的順序，此方法包含：</p> <p>從代表裝置的節點接收到存取要求；</p> <p>決定是否有任何更高順位的節點接收到存取要求；</p> <p>若無更高順位的節點接收到存取要求，讓此裝置使用匯流排；</p> <p>計算此裝置存取匯流排的次數；</p> <p>回應預先決定的存取匯流排次數，給予另一節點第一順位存順序。</p>
--	---

4.1.2 本案重要爭點與原、被告主張及法院見解

- (1) '641 號專利請求項第 1 項「一個或多個中央處理單元 (“One Or More Central Processing Units”)」以及第 14 項「至少一個中央處理單元 (“At Least One Central Processing Units”)」用詞上差異的解釋？

原告主張	被告主張	法院見解
請求項 1 及請求項 14 雖用詞不一但指涉相同的概念，即此專利需一個或更多的 CPU。	依據'641 號專利的內容，此專利內的請求項實際上是要使用不只一個 CPU。	此說明不表示發明者有意將所有專利的請求項皆限制於使用多個 CPU，法院採納 LG 的解釋，此解釋也和普通及習慣上的用法相一致。

- (2) '641 號專利請求項第 5 項「快取記憶體工具 (“Cache Memory Means”)」以及第 14 項「快取記憶體 (“Cache Memory”)」的解釋？

原告主張	被告主張	法院見解
請求項中所述之快取記憶體，其定義即為一般通用的定義：「一個小而高速且鄰近於 CPU 的儲存設備，能	解釋上應限制為快取記憶體是一避免使用 Valid/Invalid 判斷方法的系統。	請求項 1、5 內的快取記憶體工具，以及請求項 1、5、14 內的快取記憶體，指的是至少兩個位於 CPU 旁的高速記憶體中的其中一個記憶

提供比龐大但緩慢的主記憶體更快速的讀寫功能」		體，比起龐大、速度較慢的主記憶體，快取記憶體提供 CPU 更快速存取資料的功能。
------------------------	--	--

- (3) '641 號專利請求項第 1 項「一個停止訊號 (“A Hold Signal”)」、第 5 項「發出一個停止訊號 (“Asserting A Hold Signal”)」、以及第 14 項「一個停止訊號線 (“A HOLD Signal Line”)」的解釋？

原告主張	被告主張	法院見解
一個訊號指示正在處理其他資料要求的匯流排有其他資料在等待被傳輸。	一個停止訊號不只指出目前佔用匯流排的資料，同時也指示匯流排不要釋出資源，直到目前的資料使用完畢。	由於專利請求項內本身就對停止訊號有所定義，被告如此限縮會使請求項之間的差異難以區別，因此法院採納原告 LG 所主張的解釋方法。

- (4) '641 號專利請求項第 1 項「與快取記憶體及匯流排相連的匯流排監視器工具，用來偵測經由匯流排由主記憶體傳輸至其他要求資料的裝置的資料單元的位址 (“Bus Monitor Means Associated With Said Cache Memory Means And Coupled To Said Bus Means For Detecting On Said Bus Means An Address Associated With A Data Unit Transferred From Said Main Memory Means To A Bus Connection Requesting The Data Unit”)」之解釋？

原告主張	被告主張	法院見解
「匯流排監視器工具」是用來偵測從主記憶體傳送出的資料單元的相關位址。LG 認為法院應肯認專利請求項內所用的解釋方式。	認為「匯流排監視器工具」事實上僅監控從系統記憶體傳出的位址，而不監控要傳入系統記憶體的位址。	法院認為不需增加額外的限制在原本的功能說明中，因匯流排監視器工具不需要持續不間段的監控，他只需監控所需的匯流排與相連的設備上資料傳輸的位址即可。

- (5) '641 號專利請求項第 1 項「已傳輸的資料單元 (“Data Unit Transferred”)」的解釋？

原告主張	被告主張	法院見解
是在傳輸程序中或在傳述途徑上的一個資料單元。	認為是已經被傳送的資料單元。	此需觀察整個專利說明書內請求項做一貫的解釋，而根據其他請求項內的用語，應認為其是在傳輸途徑上。

(6) '641 號專利請求項第 1 項及第 5 項「另一個資料單元 (“Another Data Unit”)」的解釋？

原告主張	被告主張	法院見解
另一資料單元。	有不同的解釋。	依據前幾項的解釋，另一資料單元很清楚的應解釋為一個有相同位址但與從主記憶體傳送的資料不相同的另一資料單元。

(7) '641 號專利請求項第 1 項及第 5 項「匯流排工具 (“Bus Means”)」以及第 14 項「系統匯流排 (“System Bus”)」的解釋？

原告主張	被告主張	法院見解
一個信號線或一組線用來連接系統介面上的數個裝置並傳遞資料。	系統匯流排在'641 號專利說明書及其圖解 2a、2b 中可看出系統匯流排是由三個不同的匯流排線所組合而成的，包含資料匯流排、位址匯流排及控制匯流。基於這些原因，被告主張'641 號專利中的「系統匯流排」應是由所有匯流排共用的一組線用來攜帶、控制匯流排之間的資料。	在請求項 1 和 5 之中的「匯流排工具」和請求項 14 中的「系統匯流排」，應解釋為「一組用來攜帶、控制匯流排之間資料的線」。

(8) '379 號專利請求項第 1 項「系統匯流排 (“System Bus”)」之解釋？

原告主張	被告主張	法院見解
一組在電腦內的信號線用來連接電腦內複數個組合裝置並傳遞	一個共享的匯流排組合記憶體控制單元、複數的相連匯流排以及複數的 CPU，但排	固有的證據不支持被告所主張對於系統匯流排的解釋，法院接受 LG 的解釋。

資料。	除輸入／輸出以及負責連接主記憶體和系統的記憶匯流排。	
-----	----------------------------	--

- (9) ‘379 號專利請求項第 1 項及第 23 項中「處理讀取和寫入要求的控制裝置用來比較裝置的輸出訊號及確保不會在寫入之前先執行所有的讀取要求，當有前述會造成比較裝置輸出結果的狀況時，會先處理在此之前的所有緩衝區內的讀取要求，之後再處理該緩衝區內需寫入的要求（“Means For Controlling The Execution Of Read And Write Requests, Said Controlling Means Being Coupled To Said Comparing Means Output Signal And Being Responsive To Said Comparing Means Output Signal Not Being Asserted For Causing An Execution Of All Buffered Read Requests Before Any Buffered Write Requests, Said Controlling Means Further Being Responsive To Said Comparing Means Output Signal Being Asserted For First Causing An Execution Of Only Those Buffered Read Requests Which Precede A Buffered Read Request Which Caused The Assertion Of Said Comparing Means Output Signal And Then Causing An Execution Of Buffered Write Requests.”）」的解釋？

原告主張	被告主張	法院見解
認為此手段功能用語之結構為儲存介面狀態機 72 (Memory Interface State Machine 72) 而附加功能為控制執行中的讀寫要求。	請求項內容比對讀寫要求之項目出現一致時，必須先處理被緩衝的所有寫入要求，請求項中的語言對於是要處理所有緩衝的寫入要求，還是僅處理目前的寫入要求及比對的要求，描述的模稜兩可。	法院採納被告方的意見，認為請求項內的語意不清楚，此手段功能用語為在沒有讀寫要求一致時較先執行緩衝的讀取要求，而當比對出現一致時，執行所有目前為止的讀取要求並執行所有的寫入要求。

- (10) ‘379 號專利請求項第 22 項「回應對於接收到寫入要求及緩衝區的運算，以及要求處理裝置 (Executing Means) 在讀取要求處理裝置處理緩衝區

內讀取要求的時間內，決定何時將預先決定的寫入要求數量被緩衝至寫入要求緩衝區中，預先決定的數需少於最大可被放入寫入要求緩衝區中的數量（“Means Responsive To The Operation Of Said Write Request Receiving And Buffer Means And To Said Read Request Executing Means For Determining, At Least During A Time That Said Read Request Executing Means Is Executing A Buffered Read Request, When A Predetermined Number Of Write Requests Are Buffered Within Said Write Request Buffer Means, The Predetermined Number Being Less Than A Maximum Possible Number Of Buffered Write Requests”）」的解釋？

原告主張	被告主張	法院見解
此手段功能用語是用來決定何時要將預先決定數量的寫入要求加入寫入要求緩衝區中。	在請求項之中但被 LG 於申請解釋範圍時省略的文字應該被加入。	此手段功能用語是用來決定何時要將預先決定數量的寫入要求加入寫入要求緩衝區中。

(11) ‘379 號專利請求項第 22 項」阻止接收其他的讀取或寫入要求(“Preventing A Reception Of Further Read Or Write Requests”）」的解釋？

原告主張	被告主張	法院見解
主張此句並無範圍解釋的必要因為字面上的意思已表達的很清楚。	認為此句內容是模糊而需要解釋的，根據說明書應解釋為強制接收讀取寫入的接收器佔住匯排流的資源。	認為並無模糊不清楚的疑慮，就字面上解釋即給予「阻止」及「接收」足夠清楚的說明。

(12) ‘379 號專利請求項第 1 項及第 22 項」第二介面工具 (“Second Interface Means”）」的解釋？

原告主張	被告主張	法院見解
連結記憶體控制單元	主張有其他的結構與此請求	結構項目並無實際上的執行

以及系統匯排流。	項功能是相關的。	功能時不能成為與結構相關的構成要件。
----------	----------	--------------------

(13) ‘733 號專利請求項第 15 項「計算裝置取得匯流排資源的次數 (“Counting The Number Of Accesses By The Device To The Bus”)」的解釋？

原告主張	被告主張	法院見解
明確的去區分存取的意思是計數裝置存取的次數抑或指計數時序信號，與此專利範圍解釋並不相關，因為計數存取的數次與計數時序信號的數量是相同的。	此請求項應解釋為一方法的步驟附加功能 (Step-Plus-Function)，因此應解釋為計算裝置使用匯排流的次數而非以時序信號計數。	被告用明白的寫法解釋此語句，此主張較為適當，法院將此句解釋為計數裝置獲得使用匯排流的次數。

(14) ‘733 號專利請求項第 15 項「預先決定的取得匯流排資源次數 (“Predetermined Number Of Accesses To The Bus”)」的解釋？

原告主張	被告主張	法院見解
和先前所解釋的「計算存取的次數」是相同的意思。	認為有解釋的必要。	此應解釋為裝置被允許使用匯流排的時間計數。

(15) ‘733 號專利請求項第 1 項「節點 (“Node”)」的解釋？

原告主張	被告主張	法院見解
應如’419 號專利的解釋認為是一裝置要使用匯流排時必須提供的節點標記 (Node)。	於此專利中的「節點」解釋應包含’419 號專利中所沒有的附加限制，被告認為可被運算處理的標記計數器 (Programmable Node Grant Counter) 也應包含在此解釋之中。	被告並沒有給予要附加此具體限制的理由，因此法院仍採用於’419 號中對「節點」的解釋，認為是一裝置要使用匯流排時必須提供的標記。

4.1.3 適用重要法律與判決先例

(1) Unique Concepts. Inc., 939 F.2d at 1562：請求項不應解釋成冗餘或無意義的文字，亦不限制專利中的每個請求項都有說明的必要。

4.1.4 本案法院論理

(1) '641 號專利請求項第 1 項「一個或多個中央處理單元 (“One Or More Central Processing Units”)」以及第 14 項「至少一個中央處理單元 (“At Least One Central Processing Units”)」用詞上差異的解釋？

表 29 LG 於一審控告 Quanta 案'641 號專利兩造論點與法院認定整理表(1)

US PAT. No. 4,939,641 ('641 號專利)	
Claim 1	<p>1. A data processing system including one or more central processing units, main memory means, and bus means, for each central processing unit the invention comprising: cache memory means coupled between the central processing unit and said bus means; bus monitor means associated with said cache memory means and coupled to said bus means for detecting on said bus means an address associated with a data unit transferred from said main memory means to a bus connection requesting the data unit; means coupled to said cache memory means and to said bus means for determining if data having the same address as said transferred data unit is present in said cache memory means and, if present, for asserting a hold signal on said bus means, the assertion of the hold signal indicating at least to the bus connection requesting the data unit that another data unit may be transmitted over said bus means; and means for detecting whether data corresponding to the address of said transferred data unit and determined to be stored in said cache memory means may be different in content from said transferred data unit and, if so, transmitting said data from said cache memory means to said bus means for reception by the bus connection requesting the data unit.</p> <p>1. 一種資料處理系統包含一個或多個中央處理器 (CPU)、主記憶體裝置 (Memory Means)、以及匯流排裝置 (Bus Means)，每一個 CPU 包含： 在 CPU 以及匯流排之間的快取記憶體裝置 (Cache Memory)、與快取記憶體及匯流排相連的匯流排監視器裝置 (Bus Monitor)，用來偵測經由匯流排由主記憶體傳輸至其他要求資料的裝置的資料單元的位址 (Address)，若正要傳輸的資料單元位址和快取記憶</p>

	<p>中儲存的資料有相同時，會以一停止訊號（Hold Signal）通知要求該資料的裝置有其他相同位址的資料在快取記憶體中，當正要傳輸的資料與快取記憶體中儲存的資料內容不相同時，則傳輸快取記憶體中的資料給要求資料的裝置。</p>
Claim 14	<p>14. In a data processing system comprising at least one central processing unit having a cache memory coupled to a system memory through a system bus, the system bus including signal lines for conveying, during bus cycles, address information and data units associated with addresses between the system memory and other bus connections coupled to the system bus, the cache memory comprising: means for monitoring bus transactions occurring on the system bus for determining if a bus transaction occurring during a current bus cycle is an operation initiated by another bus connection that reads one or more data units from an address of the system memory; means for detecting if the address is associated with one or more data units already stored within the cache memory; and means having an input coupled to said detecting means and responsive thereto and further having an output coupled to the system bus for asserting thereon during the current bus cycle a HOLD signal line, the assertion of the HOLD signal line indicating to the bus connection initiating the read operation that at least one of the data units associated with the address is stored within the cache memory and that the cache memory will, if the data unit is determined to be marked as dirty within the cache memory, transmit the stored data unit to the bus connection during a subsequent bus cycle.</p> <p>14. 在一個資料處理系統中包含至少一個 CPU 並透過匯流排連結快取記憶體和系統記憶體，系統匯流排包含訊號線用來在匯流排迴圈中傳遞於系統記憶體與匯流排之間的位址資訊以及資料單元，快取記憶體包含：</p> <p>監控系統匯流排上匯流排之間傳遞的裝置，監視如果發生在目前匯流排循環期間的匯流處理，是由另一匯流排從一個系統記憶體的位址中讀取一個或多個資料單元；</p> <p>偵測位址是否與一或多個已存在於快取記憶體中的資料單元相關；</p> <p>對進來的資料進行偵測，停止訊號線（Hold Signal Line）偵測並反應當匯流排連接的讀取運算出現至少一個與此位址相關的資料單元已儲存於快取記憶體中，且該資料單元被標記陳舊資料（Dirty）時，該快取記憶體會傳送該被儲存的資料單元給匯流排。</p>

Claim Construction Order			
爭議文字	原告主張	被告主張	法院見解
One or more central processing units / One or more central processing units 一個或多個中央處理單元／至少一個中央處理單元	These terms from claims 1 and 14 consistent with their plain meaning as referring to one or more central processing units.	The specification shows that in the context of the '641 patent, the claim requires more than one CPU.	The specification does not indicate that the inventor intended all of the patent's claims to be limited to multiple CPUs, the Court adopts LGE's construction of these terms which is consistent with their ordinary and customary use.
	請求項1及請求項14雖用詞不一但指涉相同的概念，即此專利需一個或更多的CPU。	依據'641號專利的內容，此專利內的請求項實際上是要求使用不只一個CPU。	此說明不表示發明者有意將所有專利的請求項皆限制於使用多個CPU，法院採納LG的解釋，此解釋也和普通及習慣上的用法相一致。

(2) '641 號專利請求項第 5 項「快取記憶體工具(“Cache Memory Means”)」以及第 14 項「快取記憶體 (“Cache Memory”）」的解釋？

表 30 LG 於一審控告 Quanta 案'641 號專利兩造論點與法院認定整理表(2)

US PAT. No. 4,939,641 ('641 號專利)	
Claim 5	5. A data processing system including at least first and second central processing units, main memory means, and bus means, the invention comprising: at least first and second cache memory means respectively coupled between said first and second central processing units and said

<p>bus means; bus monitor means associated with each said cache memory means respectively and coupled to said bus means for detecting on said bus means an address associated with a data unit being read from said main memory means; means coupled to said associated cache memory means and to said bus means for determining if said corresponding to said address as detected by said bus monitor means is present in the associated cache memory means and, if said data is found to be present, for asserting a first hold signal on said bus means, the assertion of the first hold signal indicating at least to a bus connection reading the data unit that another data unit may be transmitted over said bus means; and means for detecting whether the data corresponding to said address and stored in said associated cache memory means may be different in content from that detected as being read and, if the data is determined to possibly be different in content, transmitting said data from said associated cache memory means to the bus connection reading the data unit from said main memory.</p>			
<p>5. 一種資料處理系統 (Data Processing System) 包含至少第一和第二個 CPU、主記憶體、以及匯流排，專利發明包括： 至少第一和第二個快取記憶體組合於第一和第二個 CPU 及匯流排之間； 匯流排監視器 (Bus Monitor) 與快取記憶體相連並與匯流排組合，用來偵測在匯流排上從主記憶體中讀取出的資料單元位址； 組合快取記憶體及匯流排的組合，用來決定存在於相連的快取記憶體中偵測匯流排監控器得到相關的位址，若有找到資料，匯流排匯出現第一個停止訊號 (Hold Signal)，停止訊號指出當一個匯流排上有資料單元在傳輸的過程中，有至少另一資料單元也要使用匯流排資源； 偵測資料的位址與已存於快取記憶體中的資料是否在內容上有不同，若認為內容有不同的可能，從快取記憶體傳送讀取自主記憶體的資料給匯流排。</p>			
<p>Claim Construction Order</p>			
<p>爭議文字</p>	<p>原告主張</p>	<p>被告主張</p>	<p>法院見解</p>
<p>Cache memory means / Cache memory 快取記憶體工具 ／快取記憶體</p>	<p>“Cache memory” and “cache memory means” should be given their dictionary</p>	<p>Limiting “cache memory” to a system that avoids the use of valid/invalid bits.</p>	<p>“Cache memory means” in claims 1 and 5 of the '641 patent and “cache memory” in claims</p>

	<p>definition: “a small high speed memory located close to the CPU of a computer to give the CPU faster access to blocks of data than could be taken directly from the larger, slower main memory.”</p>		<p>1, 5 and 14 of the '641 patent denote one of at least two high speed memories located close to the CPU of a computer to give the CPU faster access to blocks of data than could be taken directly from the larger, slower main memory.</p>
	<p>請求項中所述之快取記憶體，其定義即為一般通用的定義：「一個小而高速且鄰近於CPU的儲存設備，能提供比龐大但緩慢的主記憶體更快速的讀寫功能」。</p>	<p>解釋上應限制為快取記憶體是避免使用 Valid/Invalid判斷方法的系統。</p>	<p>請求項1、5內的快取記憶體工具，以及請求項1、5、14內的快取記憶體，指的是至少兩個位於CPU旁的高速記憶體中的其中一個記憶體，比起龐大、速度較慢的主記憶體，快取記憶體提供CPU更快速存取資料的功能。</p>

- (3) '641 號專利請求項第 1 項「一個停止訊號 (“A Hold Signal”)」、第 5 項「發出一個停止訊號 (“Asserting A Hold Signal”)」、以及第 14 項「一個停止訊號線 (“A HOLD Signal Line”)」的解釋？

表 31 LG 於一審控告 Quanta 案'641 號專利兩造論點與法院認定整理表(3)

Claim Construction Order			
爭議文字	原告主張	被告主張	法院見解
<p>A hold signal/ asserting a hold</p>	<p>A signal “indicating to the</p>	<p>A hold signal not only indicates the</p>	<p>Because the term “hold signal” is</p>

<p>signal/A HOLD signal line 發出一個停止訊號／發出一個停止訊號／發出一個停止訊號</p>	<p>bus connection requesting the data unit that another data unit may be transmitted over the requesting bus connection.”</p>	<p>presence of another data unit, but also informs the requesting bus connection not to release the bus.</p>	<p>defined in the claim itself and the adoption of Defendants' additional limitations would violate the claim differentiation doctrine, the Court adopts LGE's construction of “hold signal.”</p>
	<p>一個訊號指示正在處理其他資料要求的匯流排有其他資料在等待被傳輸。</p>	<p>一個停止訊號不只指出目前佔用匯流排的資料，同時也指示匯流排不要釋出資源，直到目前的資料使用完畢。</p>	<p>由於專利請求項內本身就對停止訊號有所定義，被告如此限縮會使請求項之間的差異難以區別，因此法院採納原告LG所主張的解釋方法。</p>

- (4) ‘641 號專利請求項第 1 項「與快取記憶體及匯流排相連的匯流排監視器工具，用來偵測經由匯流排由主記憶體傳輸至其他要求資料的裝置的資料單元的位址（“Bus Monitor Means Associated With Said Cache Memory Means And Coupled To Said Bus Means For Detecting On Said Bus Means An Address Associated With A Data Unit Transferred From Said Main Memory Means To A Bus Connection Requesting The Data Unit”）」之解釋？

表 32 LG 於一審控告 Quanta 案’641 號專利兩造論點與法院認定整理表(4)

Claim Construction Order			
爭議文字	原告主張	被告主張	法院見解
Bus monitor means associated with said cache memory means and coupled to said bus means for detecting on said bus means an address associated with a data unit transferred from said main memory means to a bus connection requesting the data unit 與快取記憶體及匯流排相連的匯流排監視器工具，用來偵測經由匯流排由主記憶體傳輸至其他要求資料的裝置的資料單元的位址	The function of the “bus monitor means” is to detect “an address associated with a data unit transferred from said main memory means.” LGE argues that the Court should adopt the language from the claim in construing the function of this term.	The “bus monitor means” monitors the bus means for an address sent from the system memory and does not monitor the bus means for an address sent to the system memory.	The Court declines to add additional functions to the clear functional language stated in the claim. The “bus monitor means” need not “continuously monitor” the bus means. It must only monitor the bus means in order to detect “an address associated with a data unit transferred from said main memory.”
	「匯流排監視器工具」是用來偵測從主記憶體傳送出的資料單元的相關位址。LG認為法院應肯認專利請求項內所用的解釋方式。	認為「匯流排監視器工具」事實上僅監控從系統記憶體傳出的位址，而不監控要傳入系統記憶體的位址。	法院認為不需增加額外的限制在原本的功能說明中，因匯流排監視器工具不需要持續不間段的監控，他只需監控所需的匯流排與相連的設備上資料傳輸的位址即可。

(5) '641 號專利請求項第 1 項「已傳輸的資料單元(“Data Unit Transferred”)」的解釋？

表 33 LG 於一審控告 Quanta 案'641 號專利兩造論點與法院認定整理表(5)

Claim Construction Order			
爭議文字	原告主張	被告主張	法院見解
Data unit transferred 已傳輸的資料單元	A data unit “in the process of being transferred” or “in transit” from one system component to another.	A “data unit transferred” is “being transferred.”	A “data unit transferred” is construed as a data unit in transit from one system component to another.
	在傳輸程序中或從一系統元件到令一元件的傳輸途徑上的一個資料單元。	一個已傳輸的資料單元是已經被傳送完成的資料單元。	一個已傳輸的資料單元應解釋為從一系統元件到令一元件的傳輸途徑上的一個資料單元。

(6) '641 號專利請求項第 1 項及第 5 項「另一個資料單元 (“Another Data Unit”)」的解釋？

表 34 LG 於一審控告 Quanta 案'641 號專利兩造論點與法院認定整理表(6)

Claim Construction Order			
爭議文字	原告主張	被告主張	法院見解
Another data unit 另一個資料單元	Another data unit	This term needs to be constructed.	As noted above, it is clear that “another data unit” refers to a data unit different from, but with the same address as, the data

			transferred from main memory.
	另一資料單元。	有不同的解釋。	依據前幾項的解釋，另一資料單元很清楚的應解釋為一個有相同位址但與從主記憶體傳送的資料不相同的另一資料單元。

- (7) '641 號專利請求項第 1 項及第 5 項「匯流排工具 (“Bus Means”)」以及第 14 項「系統匯流排 (“System Bus”)」的解釋？

表 35 LG 於一審控告 Quanta 案'641 號專利兩造論點與法院認定整理表(7)

Claim Construction Order			
爭議文字	原告主張	被告主張	法院見解
Bus means /System bus 匯流排工具/系統 匯流排	“A signal line or a set of lines used by an interface system to connect a number of devices and to transfer information”	Figures 2a and 2b show that the system bus for the '641 patent is comprised of three separate bus lines: the data bus, address bus, and control bus. Based on this portion of the specification, the Defendants argue that a “system bus” in the '641 patent is “a set of lines shared by all bus connections that carries address, control and data	“ Bus means” in claims 1 and 5 and “system bus” in claim 14 as “a set of lines that carries address, control and data between the bus connections.”

		between the bus connections.”	
	一個信號線或一組線用來連接系統介面上的數個裝置並傳遞資料。	系統匯流排在’641號專利說明書及其圖解2a、2b中可看出系統匯流排是由三個不同的匯流排線所組合而成的，包含資料匯流排、位址匯流排及控制匯流。基於這些原因，被告主張’641號專利中的「系統匯流排」應是由所有匯流排共用的一組線用來攜帶、控制匯流排之間的資料。	在請求項1和5之中的「匯流排工具」和請求項14中的「系統匯流排」，應解釋為「一組用來攜帶、控制匯流排之間資料的線」。

(8) ’379 號專利請求項第 1 項「系統匯流排 (“System Bus”)」之解釋？

表 36 LG 於一審控告 Quanta 案’379 號專利兩造論點與法院認定整理表(1)

US PAT. No. 5,379,379 (’379 號專利)	
Claim 1	1. A memory control unit for controlling a main system memory of a data processing system, the main system memory being comprised of at least one memory unit, comprising: first interface means for coupling said memory control unit to the at least one memory unit of the main system memory; second interface means for coupling said memory control unit to a system bus having signal lines for expressing information units, including memory read and write requests, the system bus including a system address bus; means, coupled to said first and to said second interface means and responsive to a write request from said system bus, for executing the write request by storing one or more information units within a memory unit at an address specified by the system address bus, said write request executing means comprising write request receiving and buffer means having a plurality of storage locations capable of

storing a plurality of received write requests and associated write addresses prior to execution of the write requests; means, coupled to said first and to said second interface means and responsive to a read request from said system bus, for executing the read request by reading one or more information units from a memory unit at a location specified by the system address bus, said read request executing means comprising read request receiving and buffer means having a plurality of storage locations capable of storing a plurality of received read requests and associated read addresses prior to execution of the read requests; said memory control unit further comprising: means, having a first input coupled to said write buffer means and a second input coupled to said read request receiving means, for comparing a received read address to write addresses stored in said write address buffer means, said comparing means having an output signal for indicating, when asserted, an occurrence of the reception of a read address within a predetermined range of addresses of one of said stored write addresses; and means for controlling the execution of read and write requests, said controlling means being coupled to said comparing means output signal and being responsive to said comparing means output signal not being asserted for causing an execution of all buffered read requests before any buffered write requests, said controlling means further being responsive to said comparing means output signal being asserted for first causing an execution of only those buffered read requests which precede a buffered read request which caused the assertion of said comparing means output signal and then causing an execution of buffered write requests.

1.一種 MCU 用來控制資料處理系統 (Data Processing System) 中由至少一個記憶單元所構成的主系統記憶體 (Main System Memory), 其包含:

第一個介面由 MCU 和至少一個主系統記憶體中的記憶單元組成;
第二個介面由 MCU 和系統匯流排組成, 透過有訊號線傳遞包括讀取或寫入記憶體的資訊單元, 系統匯流排包括一個系統位址匯流排 (System Address Bus);

透過結合第一介面和第二介面回應從系統匯流排傳遞過來的寫入要求, 為了處理儲存一個或多個以系統位址匯流排可辨識位址的資訊單元於一個記憶單元中的寫入要求, 寫入要求的裝置 (Write Request Executing Means) 處理收到的寫入要求, 而緩衝區 (Buffer Means) 有複數的儲存位置能儲存接收到的多個寫入要求以及寫入位址, 之後再處理此寫入要求;

	<p>結合第一介面和第二介面回應從系統匯流排傳遞過來的讀取要求，為了處理儲存一個或多個以系統位址匯流排可辨識位址的資訊單元於一個記憶單元中的讀取要求，讀取要求的裝置（Read Request Executing Means）處理收到的讀取要求，而緩衝裝置（Buffer Means）有複數的儲存位置能儲存接收到的多個讀取要求以及讀取位址，之後再處理此讀取要求。</p> <p>MCU 包含：</p> <p>有兩輸入組合分別是寫入緩衝區（Write Buffer Means）及讀取要求接收裝置（Read Request Receiving Means），用來處理接收到的讀取位址以及存在寫入位址緩衝區內的寫入位址，比較的裝置（Comparing Means）於目前接收到的讀取位址有一數值是在已儲存的寫入位址中預先決定的範圍之內時，輸出其結果；</p> <p>處理讀取和寫入要求的控制裝置（Controlling Means）用來比較裝置的輸出訊號及確保不會在寫入之前先執行所有的讀取要求，當有前述會造成比較裝置輸出結果的狀況時，會先處理在此之前的所有緩衝區內的讀取要求，之後再處理該緩衝區內需寫入的要求。</p>		
Claim Construction Order			
爭議文字	原告主張	被告主張	法院見解
<p>System bus 系統匯流排</p>	<p>A set of signal lines in a computer that are used to connect a plurality of components within the computer and transfer information there between.</p>	<p>A shared bus coupling the memory control unit, a plurality of bus connections and a plurality of CPUs, and excluding I/O and memory buses.</p>	<p>The intrinsic evidence does not provide support for the construction of “system bus” advocated by the Defendants. Consequently, the Court adopts LGE's construction of the term.</p>
	<p>一組在電腦內的信號線用來連接電腦內複數個組合裝置並傳遞資料。</p>	<p>一個共享的匯流排組合記憶體控制單元、複數的相連匯流排以及複數的CPU，但排除輸入／輸出以及負責連接主記憶體和系統的記憶</p>	<p>固有的證據不支持被告所主張對於系統匯流排的解釋，法院接受LG的解釋。</p>

		匯流排。	
--	--	------	--

- (9) '379 號專利請求項第 1 項及第 23 項中「處理讀取和寫入要求的控制裝置用來比較裝置的輸出訊號及確保不會在寫入之前先執行所有的讀取要求，當有前述會造成比較裝置輸出結果的狀況時，會先處理在此之前的所有緩衝區內的讀取要求，之後再處理該緩衝區內需寫入的要求（“Means For Controlling The Execution Of Read And Write Requests, Said Controlling Means Being Coupled To Said Comparing Means Output Signal And Being Responsive To Said Comparing Means Output Signal Not Being Asserted For Causing An Execution Of All Buffered Read Requests Before Any Buffered Write Requests, Said Controlling Means Further Being Responsive To Said Comparing Means Output Signal Being Asserted For First Causing An Execution Of Only Those Buffered Read Requests Which Precede A Buffered Read Request Which Caused The Assertion Of Said Comparing Means Output Signal And Then Causing An Execution Of Buffered Write Requests.”）」的解釋？

表 37 LG 於一審控告 Quanta 案'379 號專利兩造論點與法院認定整理表(2)

US PAT. No. 5,379,379 ('379 號專利)	
Claim 23	23. A memory control unit as set forth in claim 22 and further comprising means, having a first input coupled to said write buffer means and a second input coupled to said read request receiving means, for comparing a received read address to write addresses stored in said write address buffer means, said comparing means having an output signal for indicating, when asserted, an occurrence of the reception of a read address within a range of addresses of one of said stored write addresses, said memory control unit further comprising means for controlling the execution of read and write requests, said controlling means being

	<p>coupled to said comparing means output signal and being responsive to said comparing means output signal not being asserted for causing an execution of all buffered read requests before any buffered write requests, said controlling means further being responsive to said comparing means output signal being asserted for causing an execution of only those buffered read requests which precede a buffered read request which caused the assertion of said comparing means output signal and then causing an execution of buffered write requests.</p>
	<p>23.如請求項 22 所述之 MCU，其中另有兩輸入組合分別是寫入緩衝區（Write Buffer Means）及讀取要求接收裝置（Read Request Receiving Means），用來處理接收到的讀取位址以及存在寫入位址緩衝區內的寫入位址。比較的裝置（Comparing Means）於目前接收到的讀取位址有一數值是在已儲存的寫入位址中預先決定的範圍之內時，輸出其結果。處理讀取和寫入要求的控制裝置（Controlling Means）用來比較裝置的輸出訊號及確保不會在寫入之前先執行所有的讀取要求，當有前述會造成比較裝置輸出結果的狀況時，會先處理在此之前的所有緩衝區內的讀取要求，之後再處理該緩衝區內需寫入的要求。</p>

Claim Construction Order

爭議文字	原告主張	被告主張	法院見解
<p>Means for controlling the execution of read and write requests, said controlling means being coupled to said comparing means output signal and being responsive to said comparing means output signal not being asserted for causing an</p>	<p>LGE identifies the structure for this means-plus-function element as Memory Interface State Machine (MISM) 72 and the corresponding function as “controlling the execution of read and write requests.</p>	<p>The “means for controlling ...” must execute all buffered write requests before the matching read request if a match occurs. The language of the claim is ambiguous in that it could refer to all buffered write requests, or only to buffered write requests up to and including the matching</p>	<p>The Court adopts this portion of the Defendants' construction. Consequently, the function of this means-plus-function term is “executing the buffered read requests before the buffered write requests if no match occurs, and executing all buffered read requests up to the matching read</p>

<p>execution of all buffered read requests before any buffered write requests, said controlling means further being responsive to said comparing means output signal being asserted for first causing an execution of only those buffered read requests which precede a buffered read request which caused the assertion of said comparing means output signal and then causing an execution of buffered write requests.</p> <p>處理讀取和寫入要求的控制裝置用來比較裝置的輸出訊號及確保不會在寫入之前先執行所有的讀取要求，當有前述會造成比較裝置輸出結果的狀況</p>	<p>認為此手段功能用語之結構為儲存介面狀態機72 (Memory Interface State Machine 72) 而附加功能為控制執行中的讀寫要求。</p>	<p>request.</p> <p>請求項內容比對讀寫要求之項目出現一致時，必須先處理被緩衝的所有寫入要求，請求項中的語言對於是要處理所有緩衝的寫入要求，還是僅處理目前的寫入要求及比對的要求，描述的模稜兩可。</p>	<p>request and then executing all buffered write requests if a match occurs.”</p> <p>法院採納被告方的意見，認為請求項內的語意不清楚，此手段功能用語為在沒有讀寫要求一致時較先執行緩衝的讀取要求，而當比對出現一致時，執行所有目前為止的讀取要求並執行所有的寫入要求。</p>
---	---	---	---

時，會先處理在此之前的所有緩衝區內的讀取要求，之後再處理該緩衝區內需寫入的要求			
---	--	--	--

- (10) '379 號專利請求項第 22 項「回應對於接收到寫入要求及緩衝區的運算，以及要求處理裝置 (Executing Means) 在讀取要求處理裝置處理緩衝區內讀取要求的時間內，決定何時將預先決定的寫入要求數量被緩衝至寫入要求緩衝區中，預先決定的數需少於最大可被放入寫入要求緩衝區中的數量 (“Means Responsive To The Operation Of Said Write Request Receiving And Buffer Means And To Said Read Request Executing Means For Determining, At Least During A Time That Said Read Request Executing Means Is Executing A Buffered Read Request, When A Predetermined Number Of Write Requests Are Buffered Within Said Write Request Buffer Means, The Predetermined Number Being Less Than A Maximum Possible Number Of Buffered Write Requests”)」的解釋？

表 38 LG 於一審控告 Quanta 案'379 號專利兩造論點與法院認定整理表(3)

US PAT. No. 5,379,379 ('379 號專利)	
Claim 22	22. A memory control unit for controlling a main system memory of a data processing system, the main system memory being comprised of at least one memory unit, comprising: first interface means for coupling said memory control unit to the at least one memory unit of the main system memory; second interface means for coupling said memory control unit to a system bus having signal lines for expressing information units, including memory read and write requests, the system bus including a system address bus; means, coupled to said first and to said second interface means and responsive to a write request from said

system bus, for executing the write request by storing one or more information units within a memory unit at an address specified by the system address bus, said write request executing means comprising write request receiving and buffer means having a plurality of storage locations capable of storing a plurality of received write requests and associated write addresses prior to execution of the write requests; means, coupled to said first and to said second interface means and responsive to a read request from said system bus, for executing the read request by reading one or more information units from a memory unit at a location specified by the system address bus, said read request executing means comprising read request receiving and buffer means having a plurality of storage locations capable of storing a plurality of received read requests and associated read addresses prior to execution of the read requests; said memory control unit further comprising: means responsive to the operation of said write request receiving and buffer means and to said read request executing means for determining, at least during a time that said read request executing means is executing a buffered read request, when a predetermined number of write requests are buffered within said write request buffer means, the predetermined number being less than a maximum possible number of buffered write requests; means responsive to the operation of said determining means for causing said second interface means to assert a signal on said system bus when said determining means determines that the predetermined number of write requests are buffered within said write request buffer means, an assertion of said signal preventing a reception of further read or write requests from said system bus; and means responsive to the operation of said determining means for executing at least one buffered write request such that the remaining number of buffered write requests is less than the predetermined number.

22. 一種 MCU 用來控制一個資料處理系統 (Data Processing System) 中由至少一個記憶單元所構成的主系統記憶體 (Main System Memory), 其包含:

第一個介面由 MCU 和至少一個主系統記憶體中的記憶單元組成;

第二個介面由 MCU 和系統匯流排組成, 透過有訊號線傳遞包括讀取或寫入記憶體的資訊單元, 系統匯流排包括一個系統位址匯流排 (System Address Bus);

透過結合第一介面和第二介面回應從系統匯流排傳遞過來的寫

	<p>入要求，為了處理儲存一個或多個以系統位址匯流排可辨識位址的資訊單元於一個記憶單元中的寫入要求，寫入要求的裝置（Write Request Executing Means）處理收到的寫入要求，而緩衝裝置（Buffer Means）有複數的儲存位置能儲存接收到的多個寫入要求以及寫入位址，之後再處理此寫入要求。</p> <p>MCU 包含：</p> <p>回應對於接收到寫入要求及緩衝區的運算，以及要求處理裝置（Executing Means）在讀取要求處理裝置處理緩衝區內讀取要求的時間內，決定何時將預先決定的寫入要求數量被緩衝至寫入要求緩衝區中，預先決定的數量需少於最大可被放入寫入要求緩衝區中的數量；</p> <p>回應相關裝置對於造成第二介面發出訊號的運算，當預先決定的寫入要求數量被放入寫入要求緩衝區中會造成第二介面發出訊號，此訊號防止系統匯流排傳來更多其他的讀取或寫入要求；</p> <p>執行至少一個被緩衝的寫入要求使在緩衝區內的寫入要求數量少於預先決定的數量。</p>		
Claim Construction Order			
爭議文字	原告主張	被告主張	法院見解
Means responsive to the operation of said write request receiving and buffer means and to said read request executing means for determining, at least during a time that said read request executing means is executing a buffered read request, when a predetermined number of write requests are buffered within	<p>This means-plus-function term as “determining when a predetermined number of write requests are buffered within said write request buffer means.”</p>	<p>Language found in the claim, but omitted from LGE's construction, should also be included in the construction of this term.</p>	<p>The function of this means-plus-function term is “determining when a predetermined number of write requests are buffered within said write request buffer means.”</p>
	<p>此手段功能用語是用來決定何時要將預先決定數量的寫入要求加入寫入要求緩衝區中。</p>	<p>在請求項之中但被LG於申請解釋範圍時省略的文字應該被加入。</p>	<p>此手段功能用語是用來決定何時要將預先決定數量的寫入要求加入寫入要求緩衝區中。</p>

<p>said write request buffer means, the predetermined number being less than a maximum possible number of buffered write requests</p> <p>回應對於接收到寫入要求及緩衝區的運算，以及要求處理裝置 (executing means) 在讀取要求處理裝置處理緩衝區內讀取要求的時間內，決定何時將預先決定的寫入要求數量被緩衝至寫入要求緩衝區中，預先決定的數需少於最大可被放入寫入要求緩衝區中的數量</p>			
--	--	--	--

(11) '379 號專利請求項第 22 項「阻止接收其他的讀取或寫入要求(“Preventing A Reception Of Further Read Or Write Requests”)」的解釋？

表 39 LG 於一審控告 Quanta 案'379 號專利兩造論點與法院認定整理表(4)

Claim Construction Order			
爭議文字	原告主張	被告主張	法院見解
Preventing a reception of	This term need not be construed	This term is vague on its face and	Does not find the claim language

further read or write requests 阻止接收其他的讀取或寫入要求	because it is plain on its face.	should be construed, based on the specification, as “forcing other read/write requesters to hold their bus operations.”	ambiguous. The dictionary definitions of “prevent” and “receive” give sufficient clarity to the claim's terms.
	主張此句並無範圍解釋的必要因為字面上的意思以表達的很清楚。	認為此句內容是模糊需要解釋的，根據說明書應解釋為強制接收讀取寫入的接收器佔住匯排流的資源。	認為並無模糊不清楚的疑慮，就字面上解釋即給予「阻止」及「接收」足夠清楚的說明。

(12) '379 號專利請求項第 1 項及第 22 項「第二介面工具 (“Second Interface Means”)」的解釋？

表 40 LG 於一審控告 Quanta 案'379 號專利兩造論點與法院認定整理表(5)

Claim Construction Order			
爭議文字	原告主張	被告主張	法院見解
Second interface means 第二介面工具	Coupling said memory control unit to a system bus.	Contends that there are additional structures that correspond to the claimed function.	Structural features that do not actually perform the recited function do not constitute corresponding structure and thus do not serve as claim limitations.
	連結記憶體控制單元以及系統匯排流。	主張有其他的結構與此請求項功能是相關的。	結構項目並無實際上的執行功能時不能成為與結構相關的構成要

			件。
--	--	--	----

(13) '733 號專利請求項第 15 項「計算裝置取得匯流排資源的次數 (“Counting The Number Of Accesses By The Device To The Bus”)」的解釋？

表 41 LG 於一審控告 Quanta 案'733 號專利兩造論點與法院認定整理表(1)

US PAT. No. 5,077,733 ('733 號專利)			
Claim 15	15. A method for determining priority of access to a bus among a set of devices coupled to the bus, each device being represented for priority purposes by a node in a group of nodes and each node having a priority relative to a single node currently having the highest priority, the method comprising the steps of: receiving an access request in a node from a represented device; determining whether any node with a higher priority has received an access request; if no such node has received an access request, permitting the device to access the bus; counting a number of accesses by the device to the bus; and in response to predetermined number of accesses to the bus, giving another node the highest priority.		
	15. 一個方法用來決定一組組合於匯流排的裝置存取匯流排時的優先順序，每一個裝置為了排序目的由一組節點中的一節點代表，且每個節點相對於目前第一順位的節點都有其各自的順序，此方法包含： 從代表裝置的節點接收到存取要求； 決定是否有任何更高順位的節點接收到存取要求； 若無更高順位的節點接收到存取要求，讓此裝置使用匯流排； 計算此裝置存取匯流排的次數； 回應預先決定的存取匯流排次數，給予另一節點第一順位存順序。		
Claim Construction Order			
爭議文字	原告主張	被告主張	法院見解
Counting the number of accesses by the device to the bus 計算裝置取得	The definition of access is not relevant to the proper construction of this claim term	This claim terra should be construed as a step-plus-function terra. Defendants argue that by construing this term with reference to “clock	Defendants' construction, which is consistent with the plain language of the

匯流排資源的 次數	because the specification explicitly equates counting the number of accesses with counting the number of clock signals.	signals,” rather than accesses of the device.	claim, is proper. The Court construes this term as counting the number of times a device gains use of the bus.
	明確的去區分存取的意思是指計數裝置存取的次數抑或指計數時序信號，與此專利範圍解釋並不相關，因為計數存取的數次與計數時序信號的數量是相同的。	此請求項應解釋為一方法的步驟附加功能（Step-Plus-Function），因此應解釋為計算裝置使用匯排流的次數而非以時序信號計數。	被告用明白的寫法解釋此語句，此主張較為適當，法院將此句解釋為計數裝置獲得使用匯排流的次數。

(14) '733 號專利請求項第 15 項「預先決定的取得匯流排資源次數 (“Predetermined Number Of Accesses To The Bus”) 的解釋？

表 42 LG 於一審控告 Quanta 案'733 號專利兩造論點與法院認定整理表(2)

Claim Construction Order			
爭議文字	原告主張	被告主張	法院見解
Predetermined number of accesses to the bus 預先決定的取得匯流排資源次數	Consistent with the above construction of “counting a number of accesses.”	This term need to be construed.	This term refers to the number of times a device is granted access to the bus.
	和先前所解釋的「計算存取的次數」是相同的意	認為有解釋的必要。	此應解釋為裝置被允許使用匯流排的時間計數。

	思。		
--	----	--	--

(15) '733 號專利請求項第 1 項「節點 (“Node”)」的解釋？

表 43 LG 於一審控告 Quanta 案'733 號專利兩造論點與法院認定整理表(3)

US PAT. No. 5,0'33 ('733 號專利)			
Claim 1	<p>1. Apparatus for determining priority of access to a bus among a set of devices coupled to the bus, each device being represented for priority purposes by a node in a group of nodes, each node being coupled to the bus and receiving a priority line from a first adjacent node and providing a priority line to a second adjacent node and having a priority relative to a single node with the highest priority, the priority determining apparatus comprising in each node: priority logic means for permitting access to the represented device if no higher priority node has requested access; and highest priority node specification means responsive to the bus for specifying whether the node is presently the highest priority node and, if the node is presently the highest priority node, dynamically giving the highest priority to another of the nodes in response to a predetermined number of accesses of the bus by one of the set of devices.</p>		
	<p>1. 一種裝置用來決定一組組合於匯流排的裝置存取匯流排時的優先順序，每一個裝置由一節點代表，因此這組裝置可視為一組相連於匯流排的節點。每個節點與匯流排相連且接收來自鄰近的第一個節點的順序線 (Priority Line)，並提供下一個鄰近的節點順序線，同時擁有因參考節點而產生的優先順序。決定優先順序的裝置存在於每個節點中，其中包含： 優先順序邏輯 (Priority Logic) 准許當沒有其他更優先順位的裝置要求使用時此節點代表的裝置可使用匯流排； 最高順位節點辨別裝置 (Highest Priority Node Specification Means) 向匯流排反應這個節點是否擁有最優先的順位，若這個節點是目前最高順位，則此裝置已預先決定的存取次數將達到時數動態的給予另一節點最高順位。</p>		
Claim Construction Order			
爭議文字	原告主張	被告主張	法院見解
Node 節點	Argues that “node” should be	The term “node” in the '733 patent	Defendants offer no reason why this

	<p>construed the same in both the '419 and '733 patents as “a mechanism by which an associated device is afforded access to a bus.”</p>	<p>includes an additional limitation not found in the '419 patent. Defendants contend that a programmable node grant counter is disclosed as part of the “node” in the '733 patent.</p>	<p>particular aspect of the preferred embodiment should be read into this claim term. Consequently, the Court construes node as it did in the '419 patent as a “mechanism by which an associated device is afforded use of a bus.”</p>
	<p>應如'419號專利的解釋認為是一裝置要使用匯流排時必須提供的節點標記 (Node)。</p>	<p>於此專利中的「節點」解釋應包含'419號專利中所沒有的附加限制，被告認為可被運算處理的標記計數器 (Programmable Node Grant Counter) 也應包含在此解釋之中。</p>	<p>被告並沒有給予要附加此具體限制的理由，因此法院仍採用於'419號中對「節點」的解釋，認為是一裝置要使用匯流排時必須提供的標記。</p>

總結以上 1 至 15 之爭點，法院部分認同被告方的對於請求項的解釋，但部分維持原告的見解，最後法院決定駁回 LG 排除對方證據的聲請 (Motion To Preclude)，准許 Quanta 考慮 Jean-Luc Gaudiot (Docket # 187)聲請的要求及以前面說明的方式解釋爭執的語句。

4.2 一審¹⁰

4.2.1 本案事實

¹⁰ LG Electronics, Inc. V. Asustek Computer, Inc., et al., 248 F.Supp.2d 912 (N.D.Cal. Feb 06, 2003).

於 2002 年 5 月本案進入即決判決的程序，針對專利權是否權利耗盡以及是否存在默示授權判斷。法院最後判決認定 Intel 所製造之產品雖沒有完全體現 LG 的專利內容，但由於系爭產品並無其他非侵權之合理使用，根據 Univis 案，仍應適用權利耗盡原則。但法院同時認為，權利耗盡原則僅適用於設備裝置或一實體的物上，而不適用於製程、方法，由於 LG 之專利內容為方法專利，因此不適用於此原則。

4.2.2 本案重要爭點與原、被告主張及法院見解

(1) LG 之專利權是否因 Intel 販售而權利耗盡？

原告主張	被告主張	法院見解
被告不受權利耗盡原則之保護因為 LG 與 Intel 之間的銷售並非無條件販售。	因 LG 授權給 Intel 製造販售系爭產品，LG 無法再對合法向 Intel 購買系爭產品的買家主張專利侵權。	法院認為 Quanta 向 Intel 購買系爭產品是一無條件販售，LG 之專利因此而權利耗盡。

(2) 授權契約生效前的販售是否為有權販售？

原告主張	被告主張	法院見解
LG 主張其與 Intel 授權契約生效前，由 Intel 販售的系爭產品並無權利耗盡之適用。	依照授權契約，Intel 與 Quanta 之買賣行為仍為有權販售。	Intel 在契約成立前之販售在契約成立後即屬有權販售，因此 Quanta 等買方和授權人 Intel 之間買賣行為為有權販售。

(3) 是否既無方法專利上的權利耗盡也無默示授權？

原告主張	被告主張	法院見解
LG 主張專利權利耗盡原則不適用於方法專利，且沒有默示授權之情。	專利權人透過授權或販賣一體現專利的產品時，即限制專利權人再向下游買家主張專利權。	法院肯認權利耗盡原則不適用於方法專利並否定有默示授權存在。

4.2.3 適用重要法律與判決先例

(1) *B. Braun Medical, Inc. v. Abbott Lab.*, 124 F.3d 1419, 1426 (Fed.Cir.1997)：一個不附條件販售 (unconditional sale) 專利產品的行為，耗盡 (exhausts) 專利權人控制購買者如何使用該產品的權利。

(2) *Mallinckrodt, Inc. v. Medipart, Inc.*, 976 F.2d 700, 706-08 (Fed.Cir.1992)：權利耗盡原則只在無條件之販售，且當事人保有訂定銷售條件的契約自由 (retain the freedom to contract concerning conditions of sale) 下有其適用。

(3) *Bandag, Inc. v. Al Bolser's Tire Stores, Inc.*, 750 F.2d 903 (Fed.Cir.1984)：權利耗盡原則不適用於方法專利。默示授權之原則為專利權人販賣的裝置沒有其他合理及不侵害用途 (has no reasonable, non-infringing use)；以及可由買賣情況清楚地推論出有授權情況存在 (the circumstances plainly indicate that the grant of a license should be inferred.)。

(4) *Glass Equip. Dev., Inc. v. Besten, Inc.*, 174 F.3d 1337 (Fed.Cir.1999)：當一個專利是在教導如何實現一特定功能的方法時 (teaching a method of accomplishing a specific function)，無法耗盡專利權人的權利。

4.2.4 本案法院論理

(1) LG 之專利權是否因 Intel 販售而權利耗盡？

LG 主張被告不受權利耗盡原則之保護因為 LG 與 Intel 之間的銷售並非無條件販售，被告無法藉由向 Intel 購買 Intel 產品而取得使用 LG 之專利並將該 Intel 產品與其他非 Intel 製造的零件相組合之權利。

然而，法院認為 Quanta 向 Intel 購買 Intel 產品是一無條件販售，儘管 Intel 有以信件通知買方 LG 並不授權將 Intel 產品與其他非 Intel 製造零件組合，但此信無法證明 Quanta 等買方同意這是買賣附隨的條件，因此不足以使 Intel 與 Quanta 之間交易成為有條件販售。

法院認定 LG 之專利因其授權者 Intel 無條件販售給 Quanta 而可適用權利耗盡原則。

(2) 授權契約生效前的販售是否為有權販售？

LG 主張其與 Intel 授權契約生效前，由 Intel 販售的 Intel 產品並無權利耗盡之適用，因為契約生效前 Intel 並非授權人，其販售行為並無法構成使權利耗盡的要件，因此 LG 仍可主張其專利。

但如此主張 LG 忽略其授權契約中之條約內容，該內容為 LG 放棄在契約生效前這段期間對 Intel 及 Intel 的客戶主張專利侵權之權力，相當於 Intel 在契約成立前之販售在契約成立後即屬有權販售，因此 Quanta 等買方和授權人 Intel 之間買賣行為為有權販售。

(3) 是否既無方法專利上的權利耗盡也無默示授權？

LG 引用 *Bandag v. Al Bolser's Tire Stores, Inc.*，主張專利權利耗盡原則不適用於方法專利，且沒有默示授權之情形，法院肯認權利耗盡原則不適用於方法專利，並認為被控侵權人必須負舉證責任說明 Intel 產品不具其他非侵權合理使用之方法，以及其販售過程可推論出專利默示授權，但由於 Intel 已透過信件告知 Quanta 等客戶 LG 專利授權的範圍不包括將系爭產品與非 Intel 產品組合的情形，此信已足以否定有默示授權存在，因此法院認定 Quanta 無法主張因默示授權而合理使用 LG 之專利。

權利耗盡原則使 Quanta 在裝置專利上不需負專利侵權責任，但同時法院也判定 Quanta 與 LG 之間並無默示授權，且在方法專利上無權利耗盡原則之適用。

4.3 二審¹¹

¹¹ *LG Electronics, Inc. v. Bizcom Electronics, Inc., et al.*, 453 F.3d 1364 (Fed.Cir. Jul 07, 2006).

4.3.1 本案事實

原告 LG 對於一審判決部分上訴至二審聯邦巡迴上訴法院，二審法院部分維持、部分改判一審之判決內容，法院維持認定方法專利不適用權利耗盡原則，改判部分則認為不適用權利耗盡原則的原因為 LG 並未授權 Intel 為此販售，也就是當 Intel 將專利產品販售給下游廠商，而下游廠商未遵守 LG 與 Intel 所訂立的契約規定時，此販售應為無權販售，因此無權利耗盡原則之適用，LG 仍得對下游廠商主張專利侵權。

4.3.2 本案重要爭點與原、被告主張及法院見解

(1) 是否有默示授權？

上訴人（原告）主張	被上訴人（被告）主張	法院見解
已明白表示其授權範圍並不擴張於當 Quanta 等廠商將系爭產品與其他非 Intel 元件相結合時，而 Intel 也有明確為此告知，因此並無默示授權存在。	其向獲授權販售系爭產品之 Intel 購買產品，應認為 LG 默示授權 Qunata 使用該系爭產品。	Intel 已明白的向其客戶表示 Intel 和 LG 的授權契約並不延伸於其客戶將系爭產品與非 Intel 元件相結合時的情形，因此法院認為此案並無默示授權存在。

(2) 是否有專利權利耗盡之情形？

上訴人（原告）主張	被上訴人（被告）主張	法院見解
方法專利之權利應無法被耗盡，且其販售並非無條件之販售。	其與 Intel 之間應為無條件販售，應適用權利耗盡原則，LG 不得再對其主張專利權。	認為 LG 要求 Intel 明確告知其客戶關於 Intel 產品之使用限制，因此並非無附條件之販售，且方法專利不適用權利耗盡原則，因此 LG 得主張其專利權。

4.3.3 適用重要法律與判決先例

(1) Bandag, Inc. v. Al Bolser's Tire Stores, Inc., 750 F.2d 903, 924 (Fed.Cir.1984)：

在專利侵權訴訟中，主張有默示授權的被告方負舉證之責任。

(2) *Met-Coil Sys. Corp. v. Korner Unlimited, Inc.*, 803 F.2d 684, 686 (Fed.Cir.1986)：要成功主張默示授權，被告需證明產品沒有不侵權的用途，並且以販賣的行為可推斷出許可證的授予。

(3) *B. Braun Med. Inc. v. Abbott Labs.*, 124 F.3d 1419, 1426 (Fed.Cir.1997)：專利裝置經過一個未附條件的販售，即耗盡專利權人控制購買者使用該裝置的權利。但權利耗盡原則不適用附條件的販售。

(4) *Bandag, Inc. v. Al Bolser's Tire Stores, Inc.*, 750 F.2d 903, 924 (Fed.Cir.1984)：權利耗盡原則不適用專利權人的方法專利。

4.3.4 本案法院論理

(1) 是否有默示授權 (Implied License) ？

在專利訴訟之中，默示授權的舉證責任在被控侵權方身上，被控侵權方必須證明並無非侵權之使用方式且販賣無附帶條件，並由此推得獲准許使用專利權人之專利。二審法院肯認地方法院之看法，認為 Intel 將產品販售給 Quanta 的行為並無法正當的推論出有默示授權存在，暫且不管有無其他非侵權之使用方法，Intel 已明白的向其客戶表示 Intel 和 LG 的授權契約並不延伸於其客戶將 Intel 產品與非 Intel 元件相結合時的情形，因此法院認為此案並無默示授權存在。

(2) 是否有專利權利耗盡之情形？

法院認為要適用權利耗盡原則必須是專利權已有第一次無附條件之販售，因此，首先討論此案中 Quanta 與 Intel 之間的販售是否為一無附條件之販售。前審法院認為雖然 LG 和 Intel 之間訂有販售條件但並不代表和 Quanta 之間為有條件之販售，因此 Intel 與 Quanta 之間應為無附條件之販售。但二審法院持相反之見解，認為 LG 要求 Intel 明確告知其客戶關於 Intel 產品之使用限制，因此並非無

附條件之販售，無權利耗盡原則之適用之下，LG 之系爭專利，權利並未被耗盡。另外二審法院肯定一審地方法院對於方法專利不適用權利耗盡原則之判斷，認為販售一包含方法請求項之裝置並不耗盡專利權人之權利。

4.4 三審¹²

4.4.1 本案事實

Quanta 不服聯邦巡迴上訴法院之判決因此上訴至聯邦最高法院，由於訴訟雙方對前審法院所認定之無默示授權皆未表示意見，因此聯邦最高法院審理此案將重點放在專利權耗盡部分。

權利耗盡原則建立至今已超過 150 年，在這個案子中法院要探討當一專利系統必須與其他元件結合以實現方法專利時是否有權利耗盡原則之適用。在二審巡迴上訴法院認為方法專利不適用權利耗盡原則且 Intel 之販售不符合授權契約之規定為無權販售，但聯邦最高法院並不認同二審之判決，其認為方法專利仍有權利耗盡之適用，因販售之系爭產品實質上體現了方法專利而使專利權耗盡。

4.4.2 本案重要爭點與原、被告主張及法院見解

(1) 方法專利是否應排除權利耗盡原則之適用？

上訴人（被告）主張	被上訴人（原告）主張	法院見解
專利權人透過授權或販賣一體現專利的產品時，即限制專利權人再向下游買家主張專利權。	LG 主張權利耗盡原則不適用於方法專利。	方法專利可能無法像物品或裝置的方式販賣，但方法仍可能體現（embodied）於物品上，當販賣這樣的物品時，專利即被耗盡。排除方法專利的適用會逐漸侵蝕權利耗盡原則，權利人可輕易以加入方法請求項的

¹² Quanta Computer, Inc. v. LG Electronics, Inc., 553 U.S. 617 (Jun. 9, 2008).

		方式避免其權利耗盡，因此不應認為方法專利可完全排除權利耗盡原則之適用。
--	--	-------------------------------------

(2) Intel 產品是否實質體現 LG 的系爭專利？

上訴人（被告）主張	被上訴人（原告）主張	法院見解
依據 Univis 的判決，雖產品未完全體現 LG 專利，其專利權利仍因銷售而被耗盡，否則專利權人可對逐步完成其專利的每個下游廠商主張專利權，如此權利耗盡原則將失其意義。	Intel 的產品必須額外加入其他的實體元件才能實施該專利，因此，Intel 的產品並沒有實際體現出該專利；且 Intel 的產品與實施該等專利之系統是各自獨立可區別，且是落在不同專利之中，因此與 Univis 案例不同。	同意上訴人的見解，認為在 Univis 案中，產品因其合理且預期的使用就是實施該專利，且其已體現出該專利之主要技術特徵，則該販售即造成該專利之權利耗盡。這些要件皆存於 Intel 基於授權契約而販售給 Quanta 之微處理器與晶片組，因此認為 Univis 案在本案中應可適用。

(3) Intel 所為的銷售是否為有權販賣？

上訴人（被告）主張	被上訴人（原告）主張	法院見解
Intel 依據其與 LG 之間簽訂之授權契約販售系爭產品給上訴人，是為有權販售。	援引 General Talking Pictures 案中，法院基於製造商沒有被授權有商業使用之權，買受人亦明知專利權人沒有授權該商業使用仍購買之，因而判定該案無權利耗盡適用。認為其與 Intel 之授權契約並未授與 Intel 販售其專利產品用於與非 Intel 之元件相結合，而 Intel 也已告知 Quanta，因此販售並非有權販售。	Intel 並未違反其授權契約，而此為 Intel 及 LG 都不否認的，因此 Intel 因授權而販售體現 LG 專利之產品的權利，不因未通知其客戶或其客戶違反使用之規定而失其正當性。

4.4.3 適用重要法律與判決先例

- (1) *Bloomer v. McQuewan*, 14 How. 539, 549, 14 L.Ed. 532 (1853)：當機器交到買方手上，他就已離開專利獨佔的限制之中。
- (2) *Adams v. Burke*, 17 Wall. 453, 21 L.Ed. 700 (1873)：當一買方從專利權人或授權販售者處購得專利產品，此販售給予買方使用該產品的權利。
- (3) *Bauer & Cie v. O'Donnell*, 229 U.S. 1, 14–17, 33 S.Ct. 616, 57 L.Ed. 1041 (1913)：未援引 *Henry v. A.B. Dick Co.*, 224 U.S. 1, 32 S.Ct. 364, 56 L.Ed. 645 (1912) 案中所允許賣方可以售後限制對抗買受人的決定，認為物品賣出後該物品已移出專利獨佔範圍之外。
- (4) *Motion Picture Patents Co. v. Universal Film Mfg. Co.*, 243 U.S. 502, 518, 37 S.Ct. 416, 61 L.Ed. 871 (1917)：拒絕實施置於專利物品上的附帶限制。
- (5) *United States v. Univis Lens Co.*, 316 U.S. 241, 62 S.Ct. 1088, 86 L.Ed. 1408 (1942)：販售一個受專利保護之物品，即使該物品尚未完整實施該專利，但其已體現了該發明之主要特徵，且唯一預定之使用方式為按照該專利完成專利發明，則該專利權人在販賣就已販賣其專利發明，而有權利耗盡之適用。

4.4.4 本案法院論理

判決內容分為三大部分，第一部分最高法院先概略解釋了三個系爭專利的專利內容及案件事實，並簡述一審地方法院及二審巡迴上訴法院的判決結果。

第二部分首先藉由說明聯邦最高法院判決先例揭示本判決遵循的法律基礎，其次闡述長久以來建立之權利耗盡原則，是要限制授權的商品在首次銷售後繼續主張其上所有之專利權。接著引述判決先例說明權利耗盡原則之內涵。其中特別提到聯邦最高法院曾於 *Henry v. A.B. Dick Co.* 案允許專利權人得施加售後使用限制，但隨後於 *Motion Picture Patents Co. v. Universal Film Mfg. Co.* 案推翻該判

決，並引述 Motion Picture Patents 之判決理由，說明專利法設置的主要目的非為專利權人創造私人財富，而是為了促進科學與實用藝術之發展（“the primary purpose of our patent laws is not the creation of private fortunes for the owners of patents but is ‘to promote the progress of science and useful arts,’ ”），以及專利權範圍決定於申請專利範圍所述發明（“the scope of the grant which may be made to an inventor in a patent, pursuant to the [patent] statute, must be limited to the invention described in the claims of his patent.”），並重申專利權透過個別、無條件的販售後已被耗盡，產品即被攜出於專利權法保護之範圍，而免於受專利權人試圖施加其上之限制（“the right to vend is exhausted by a single, unconditional sale, the article sold being thereby carried outside the monopoly of the patent law and rendered free of every restriction which the vendor may attempt to put upon it.”）。

法院於判決中討論最多且最後引為判決基礎的案例為 Univis 案（United States v. Univis Lens Co., 316 U.S. 241 (1942)），該案中專利權人擁有鏡片裝置及方法專利權，專利權人將其未作磨光處理的鏡片空片以不同的價格販賣給批發商及加工零售商，授權批發商及加工零售商將該鏡片空片加工磨光處理以完成專利鏡片，並要求被授權者以約定價格分別販售給消費者。最高法院認為鏡片空片具有該專利之所有特徵，必須經過加工磨光處理才可變為具有實用性的鏡片，但該鏡片空片除了加工完成專利鏡片外並無其他用途，因而認為販售一個受專利保護之物品，即使該物品尚未完整實施該專利，但其已體現了該發明之主要特徵，且唯一預定之使用為按照該專利以完成專利發明，則該專利權人在販賣鏡片空片時就已販賣其專利發明，而有權利耗盡之適用。

第三部分逐一討論本案中重要的爭點：

(1) 方法專利是否應排除權利耗盡原則之適用？

法院肯認 Quanta 的抗辯，認為在判決先例中找不到支持 LG 對於方法專利

無法被耗盡的看法。法院認為若方法專利無法被耗盡將會侵蝕長久以來建立的權利耗盡原則，專利權人若將專利描述為一方法而非一裝置或是加入方法的請求項，使裝置及方法的專利變得難以區分，專利權人即可輕易避免權利遭耗盡。如此一來即使是經授權的販賣，下游廠商仍不得免於被指控專利侵權，此舉會嚴重侵害權利耗盡原則的本質：「當一專利產品被合法的製造並販售，專利權人無權再限制此物品的使用方式或是主張其他利益」。因此法院認定方法專利並非完全排除權利耗盡原則，若方法體現於一產品之上，合法的販售即可耗盡此方法專利。

(2) Intel 產品是否實質體現 LG 專利？

Quanta 主張在 Univis 案例中，販售的鏡片空片必須待其被研磨成鏡片才會完全實施該專利，同樣地，Intel 產品必須與電腦系統之記憶體及匯流排等元件結合才有辦法實施 LG 專利，而在 Univis 案例中販售一個尚未完全實施專利之物件即耗盡該專利權，據此 LG 無權對產品作販賣後之限制，否則權利耗盡就會只是個空洞的名詞，因專利權人可輕易地先作一個不完整的授權，而後只要再加入一個簡單步驟來形成完整的電腦授權，就可以將其專利權無止盡的延伸到所有使用者上。

LG 則主張 Univis 不適用於本案，認為 Intel 並沒有實際體現出該專利的產品，因其必須額外加入其他的實體元件才能實施該專利，且 Intel 的產品與實施該等專利之系統為可各自獨立區別，並且是落在不同專利之中，因此與 Univis 案例不同。

最高法院同意 Quanta 的見解並認為 Univis 案在本案中應可適用。在 Univis 案中，專利產品因其合理且預期的使用就是實施該專利，且其已具體實現出該專利之主要技術特徵，則該鏡片空片之販售就造成該專利之權利耗盡。就本案而言，LG 無法提出該 Intel 產品除了將之與其他相關元件結合之外其它的合理非侵權用途，Intel 依授權完成產品販售給 Quanta 之目的就是容許 Quanta 將 Intel 產品與

相關元件結合以實施 LG 專利。另外，Intel 產品構成該專利的重要部分，雖其尚未完全實施整個專利，但該專利具有的重要特徵皆已具體實現於 Intel 產品內，即 Intel 產品已可實施'641 號專利、'379 號專利以及'733 號專利等三件專利，其所缺少的只是將相關元件加入其中，而此實施專利之最終步驟是一般性步驟，而非具有發明或創造的性質，因此，Intel 產品業已具體實現出該三件專利之主要技術特徵。

再者，最高法院同意 LG 所主張，即對某一專利之權利耗盡並不會造成其它專利亦同時權利耗盡的原則，亦即販賣實施 A 專利之產品並不當然耗盡 B 專利。但法院強調，若該產品實施 A 專利的同時也實施 B 專利，此時 A 與 B 二專利皆已權利耗盡。例如，若 Univis 案中的鏡片空片是由 A 專利之防碎玻璃所構成，該鏡片因已具體實現 A 專利而耗盡 A 專利，同時也耗盡有關磨光加工鏡片之 B 專利。本案中 Intel 的微處理器或晶片組實施了數個 LG 專利，包含在本案中的三項專利，但權利耗盡的原則不會因為該產品實施的是多個權利而有所改變，當 Intel 產品已具體實施該專利主要技術特徵，即便僅是該專利之一部，產品之專利權仍因販賣而耗盡。

(3) Intel 之販售是否為有權販售？

LG 引用 General Talking Pictures 的判決，認為當 Intel 及 Quanta 都知道 LG 並未授權為此販售時，此販售為無權販賣，因此專利權人的權利並未被耗盡。但法院認為 LG 過度擴張其與 Intel 之間的授權內容。該授權契約(License Agreement)只粗略的允許 Intel 得以使用、製造、販售有 LG 專利的產品，雖然 LG 的確於主契約 (Master Agreement) 中要求 Intel 告知其客戶 LG 並未授權其客戶擅自將該產品與其他非 Intel 元件結合，但在任何契約中皆未提及違反主契約會對授權契約造成影響，Intel 也並未違反其授權契約，因此 Intel 因授權而販售體現 LG 專利之產品的權利，不因未通知其客戶或其客戶違反使用之規定而失其正當性。

LG 又指出授權契約並未授權第三方使用包含其專利之產品與其他非 Intel 元件結合，但是法院認為第三方是否有默示授權與此案並不相關，因為 Quanta 之所以得使用系爭產品並非基於默示授權而是因權利耗盡，專利權因 Intel 基於授權契約合法販售體現 LG 專利之產品而耗盡。

法院對於是否得以契約排除權利耗盡原則並未做明確的說明，僅認為授權銷售的行為並不一定會限制專利權人的契約權利，由於 LG 並未對違反契約提起告訴，因此法院並無對是否有違反契約而生之損害提出任何見解。

最後法院判定專利權因有權銷售一體現方法專利之物品而耗盡，並阻止專利權人對下游買家使用產品之限制或是主張專利侵權。在此案例之中，LG 授權 Intel 實行其專利並販售包含其專利之產品，因為這些產品並無其他合理但不侵權之使用並且包含了所有方法專利，Intel 的微處理器及晶片實質體現了 LG 的專利因而得適用權利耗盡原則。另外由於在授權契約中並無限制 Intel 應如何販售系爭產品，Intel 將產品合法販售給 Quanta 即將產品攜出專利權可主張的範圍之外，也因此，最高法院改判前審聯邦巡迴上訴法院之判決，判決 LG 無法再對 Quanta 主張其專利權。

5. 本案評析

5.1 實體爭議

在實體爭議上，本案在一審時亦牽涉手段功能用語請求項之檢驗，但 Quanta 主要並不爭執其購買的 Intel 產品是否有使用到 LG 之專利，因為 Intel 產品本身就是 LG 授權使用 LG 專利所製造的產品。其主要的爭議是 LG 是否可限制 Quanta 如何使用自 Intel 購得之 Intel 產品，甚至於 Quanta 違反 LG 限制時對其主張專利侵權，就此爭議，法院主要討論是否有默示授權或權利耗盡原則的適用。

(1) 是否存在默示授權

一二審法院判定雙方不存在默示授權，但最高法院則認為第三方是否有默示授權與此案並不相關，因為 Quanta 之所以得使用系爭產品並非基於默示授權而是因權利耗盡。

(2) 方法專利是否有權利耗盡原則之適用

一二審法院判定方法專利不適用於權利耗盡原則，因此 LG 得對 Quanta 主張其專利。但最高法院則認為不得完全將方法專利排除於權利耗盡原則的適用範圍之外，否則專利權人將能輕易於專利中加入方法請求項以規避此原則，如此一來權利耗盡原則最後將形同虛設。最後最高法院判決此案有權利耗盡的適用，同時在此案確立了權利耗盡原則的判斷基準，即：方法專利體現於一物品之上時，儘管該物品未完全實施該專利，但該物品已具體實現出專利的主要技術特徵，且其唯一合理不侵權的使用即是完成該專利發明，此時，一不附條件的販售行為即將該物品帶出專利壟斷的範圍之外。在此情況之下，方法專利即有權利耗盡原則的適用。

儘管最高法院在此案對權利耗盡原則做出嶄新的判斷基準，但法院對於是否得以契約排除權利耗盡原則並未做明確的判定，留給專利權人於其他訴訟仍可能得以主張的空間。

5.2 程序攻防

本案於程序攻防上頗為中規中矩，多透過過去的判決先例提出對本身有利的主張。如前所述，本案就專利範圍解釋、侵權判斷、專利有效性等傳統之專利訴訟之控辯重點並未有太多著墨，可說是一個非典型的專利訴訟。惟本案是台灣廠商於美國專利訴訟中少數進入最高法院的案子，因此各界多期待本案判決對之後的判決，尤其是權利耗盡原則對於專利權人以及下游買家造成的影響。

5.3 專利訴訟的策略

LG 公司成立超過 50 年，是國際知名的電子產業大廠，其在顯示器、行動裝置等技術上擁有相當多的專利，並多次向競爭對手提起專利訴訟收取權利金，近期 LG 與 Sony 之間的專利訴訟於 2011 年 8 月才達成和解，因此可說 LG 擅長利用其擁有的專利資產，透過專利訴訟打擊競爭對手並擴張本身的市場及影響力。

在全球化的趨勢下，台灣企業受到國外公司提起專利訴訟攻擊已屢見不鮮，除了熟習訴訟上防禦方法、熟知對自己有利的判決先例之外，以攻擊代替防守也是不錯的手段，例如提出反訴主張其他的專利侵權。甚至若能化被動為主動，以本身擁有的專利權主動向其他競爭者提起訴訟，以削弱競爭者的市場影響力。此外，由於專利研發耗費成本，費時研發後又不知何時才用得上，因此許多公司也開始以買入專利權的方式補強本身的專利資產，本案例中 LG 就是以從 IBM（International Business Machines）買來的專利，向 Quanta 提起訴訟。因此，我國廠商也可多加效法，透過擴大本身的專利資產提高公司的競爭力。

本案的判決擴大保護了下游廠商在構成權利耗盡原則的情況下，於授權廠商購得產品後能免於專利權人加諸於產品的限制，對於以代工為主的台灣廠商固然是好消息，但法院對於是否得以契約排除權利耗盡原則並未做明確的判定，也就是並未完全否定可以以契約方式拘束對方及其下游客戶，換言之即留給專利權人於其他訴訟仍可能得以主張的空間。因此廠商們仍不可大意，在簽訂授權契約時必須詳讀專利產品的授權規範，有必要時也須了解上游廠商與專利權人之間的授權內容，以免不慎落入對方可主張的專利權範圍之內。

除此之外，此判決亦對專利權人造成一定影響，方法專利無法完全排除權利耗盡原則之適用，專利說明書中的方法請求項若屬於主要技術特徵時，若有權實施該專利的人販售涵蓋專利的產品，即使是未完成品，也會造成其權利耗盡，因此對專利權人來說規避權利耗盡的適用將會更加困難。另外，由於本案法院未對契約是否能排除權利耗盡原則有明確的說明，至此專利權人必然會從契約條文下

手，試圖約束雙方及限制下游廠商的權利義務，要求得於被授權人違約時請求損害賠償。但此種方式也隱藏著困擾，除了此種條款的法律效力不明確及有違反競爭法的疑慮之外，被授權人可能不願意接受此種條款產生的商業上不利益，也可能不願意承擔該後手違反規定時的賠償義務，而無法與授權人達成共識，因而增加了契約簽署以及條文敘述的困難度。因此授權人與被授權人將如何擬定合約來因應權利耗盡問題，法院又將如何解釋與適用權利耗盡原則，並判斷契約限制的執行力，都是未來值得觀察的重點。